

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

## TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/605,419
		Filing Date	09/30/2003
		First Named Inventor	Chih-Wei Hung
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number	LKSP0020USA

### ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Remarks	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
--	--	--

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	12/8/2003

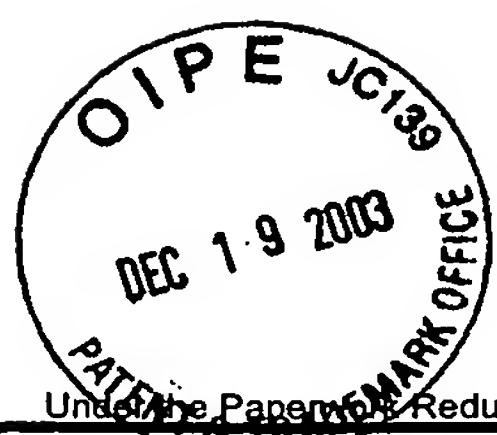
### CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

Applicant claims small entity status. See 37 CFR 1.27

**TOTAL AMOUNT OF PAYMENT** **(\\$) 0.00**

## Complete if Known

Application Number	10/605,419
Filing Date	09/30/2003
First Named Inventor	Chih-Wei Hung
Examiner Name	
Art Unit	
Attorney Docket No.	LKSP0020USA

## METHOD OF PAYMENT (check all that apply)

Check  Credit card  Money Order  Other  None

Deposit Account:

Deposit Account Number	50-0801
Deposit Account Name	North America International Patent Office

The Director is authorized to: (check all that apply)

- Charge fee(s) indicated below  Credit any overpayments  
 Charge any additional fee(s) or any underpayment of fee(s)  
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity	Small Entity	Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee			
1002 340	2002 170	Design filing fee			
1003 530	2003 265	Plant filing fee			
1004 770	2004 385	Reissue filing fee			
1005 160	2005 80	Provisional filing fee			
<b>SUBTOTAL (1)</b>		<b>(\\$) 0.00</b>			

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	X	=
			- 3** =	X	=

Large Entity	Small Entity	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
<b>SUBTOTAL (2)</b>		<b>(\\$) 0.00</b>

\*or number previously paid, if greater; For Reissues, see above

### 3. ADDITIONAL FEES

Large Entity	Small Entity	Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath			
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet			
1053 130	1053 130	Non-English specification			
1812 2,520	1812 2,520	For filing a request for ex parte reexamination			
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action			
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action			
1251 110	2251 55	Extension for reply within first month			
1252 420	2252 210	Extension for reply within second month			
1253 950	2253 475	Extension for reply within third month			
1254 1,480	2254 740	Extension for reply within fourth month			
1255 2,010	2255 1,005	Extension for reply within fifth month			
1401 330	2401 165	Notice of Appeal			
1402 330	2402 165	Filing a brief in support of an appeal			
1403 290	2403 145	Request for oral hearing			
1451 1,510	1451 1,510	Petition to institute a public-use proceeding			
1452 110	2452 55	Petition to revive - unavoidable			
1453 1,330	2453 665	Petition to revive - unintentional			
1501 1,330	2501 665	Utility issue fee (or reissue)			
1502 480	2502 240	Design issue fee			
1503 640	2503 320	Plant issue fee			
1460 130	1460 130	Petitions to the Commissioner			
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)			
1806 180	1806 180	Submission of Information Disclosure Stmt			
8021 40	8021 40	Recording each patent assignment per property (times number of properties)			
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))			
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))			
1801 770	2801 385	Request for Continued Examination (RCE)			
1802 900	1802 900	Request for expedited examination of a design application			

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

**SUBTOTAL (3)** **(\\$) 0.00**

## SUBMITTED BY

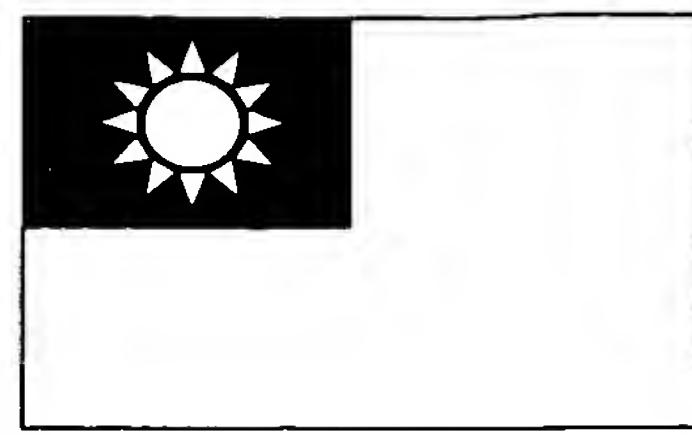
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature				Date	12/8/2003

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 一 日：西元 2003 年 01 月 28 日  
Application Date

申 請 案 號：092101900  
Application No.

申 請 人：力晶半導體股份有限公司  
Applicant(s)

局 長

Director General

蔡 繼 生

發文日期：西元 2003 年 9 月 17 日  
Issue Date

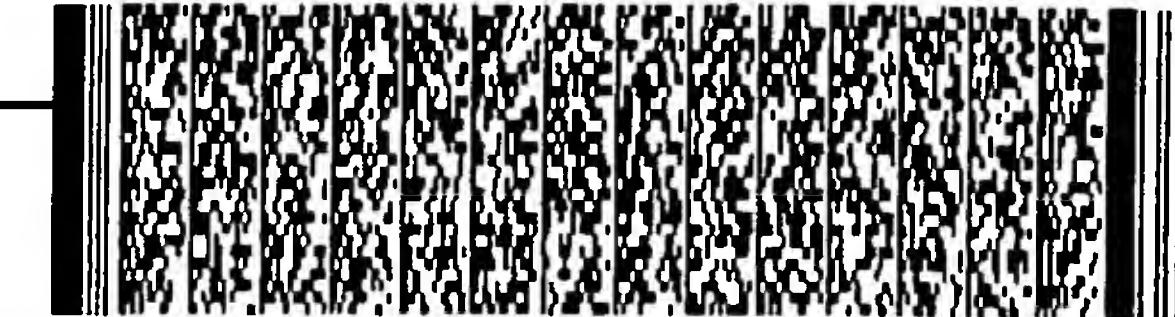
發文字號：09220936990  
Serial No.

申請日期：92/1/28	IPC分類	H01L 27/115, H01L 21/8247
申請案號：92101900		

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	快閃記憶胞結構及其操作方法
	英文	FLASH MEMORY CELL STRUCTURE AND OPERATING METHOD THEREOF
二、 發明人 (共3人)	姓名 (中文)	1. 洪至偉 2. 宋達 3. 許正源
	姓名 (英文)	1. Hung , Chih Wei 2. Sung , Da 3. Hsu, Cheng Yuan
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市花園街106號7樓之3 2. 新竹市光復路一段89巷123-2號9F-1 3. 新竹市武陵路179巷2號6F之3
	住居所 (英 文)	1. 7F-3, No. 106, ST. Hwai-yuan, Hsin-chu city, Taiwan, ROC 2. 9F-1, #123-2, alley 89, sec. 1, Kwang-fu Rd., Hsin Chu 300, Taiwan, R.O.C. 3. 6Fl.-3, No. 2, Lane 179, Wuling Rd., Hsinchu, Taiwan 300, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓名 (英文)	1. Powerchip Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 300新竹市科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-based Industrial Park, Hsin-Chu, Taiwan 300, R.O.C.
	代表人 (中文)	1. 黃崇仁
代表人 (英文)	1. Huang, Frank	



四、中文發明摘要 (發明名稱：快閃記憶胞結構及其操作方法)

一種快閃記憶胞結構，包括一基底、一選擇閘極、一第一型離子摻雜區、一第二型離子淺摻雜區、一第二型離子深摻雜區以及一源極摻雜區。其中，基底具有一堆疊式閘極 (stacked gate)；選擇閘極形成於基底上並位於堆疊式閘極之一側；第一型離子摻雜區係位於基底中並與選擇閘極鄰設，以作為快閃記憶胞結構之汲極；第二型離子淺摻雜區係位於堆疊式閘極下方並與第一型離子摻雜區連接；第二型離子深摻雜區係位於第一型離子摻雜區周圍，並與第二型離子淺摻雜區連接；而源極摻雜區係鄰設於第二型離子淺摻雜區一側以作為快閃記憶胞結構之源極。另外，本發明亦揭露一種上述快閃記憶胞結構之操作方法。

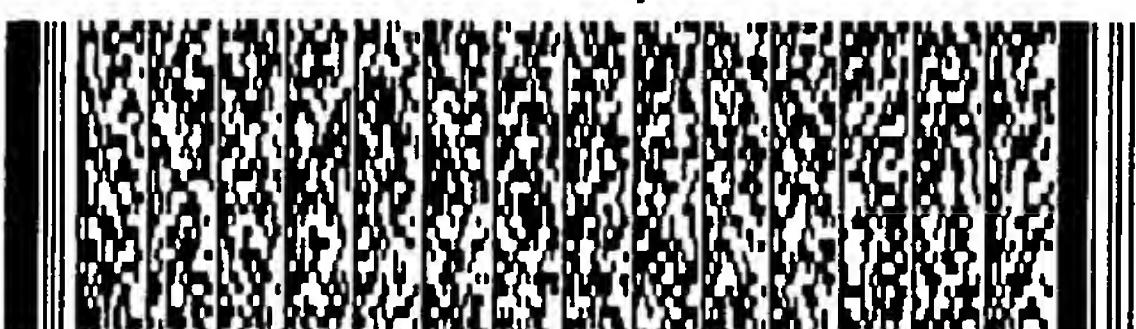
伍、(一)、本案代表圖為：圖4A

(二)、本案代表圖之元件代表符號簡單說明：

3 快閃記憶胞結構

陸、英文發明摘要 (發明名稱：FLASH MEMORY CELL STRUCTURE AND OPERATING METHOD THEREOF)

A flash memory cell structure includes a substrate, a select gate, a first-type ion doped region, a shallow second-type ion doped region, a deep second-type ion doped region, and a doped source terminal region. In this case, the substrate has a stacked gate. The select gate is formed on the substrate and located at one side of the stacked gate. The first-type ion doped



四、中文發明摘要 (發明名稱：快閃記憶胞結構及其操作方法)

- 30 基底
- 31 場氧化層
- 32 通道阻絕層
- 33 控制閘極
- 34 浮置閘極
- 35 第一型離子摻雜區
- 36 第二型離子淺摻雜區
- 37 第二型離子深摻雜區
- 38 選擇閘極
- G 堆疊式閘極

陸、英文發明摘要 (發明名稱：FLASH MEMORY CELL STRUCTURE AND OPERATING METHOD THEREOF)

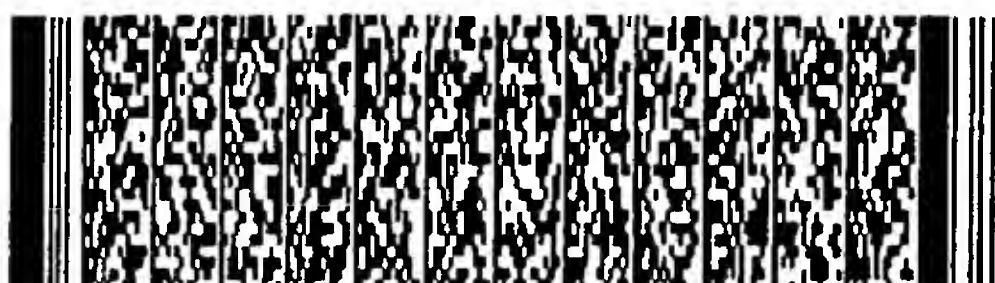
region, serving as a drain terminal, is doped in the substrate and adjacent to the select gate. The shallow second-type ion doped region is formed on one side of the first-type ion doped region below the stacked gate. The deep second-type ion doped region, which serves as a well, is formed underneath the first-type ion doped region with one side bordering on the shallow second-type ion



四、中文發明摘要 (發明名稱：快閃記憶胞結構及其操作方法)

陸、英文發明摘要 (發明名稱：FLASH MEMORY CELL STRUCTURE AND OPERATING METHOD THEREOF)

doped region. The doped source terminal region is formed on a side of the shallow second-type ion doped region and serves as a source of the flash memory cell. Furthermore, this invention also discloses an operating method of the flash memory cell.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



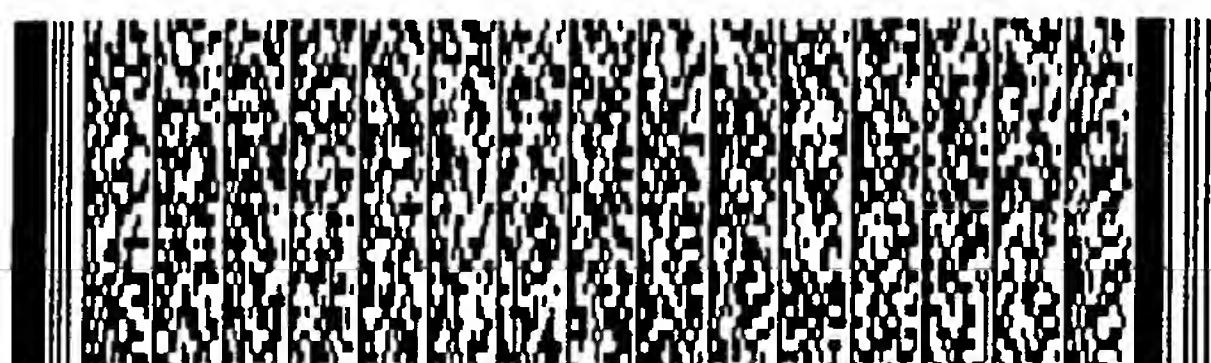
## 五、發明說明 (1)

### (一)、【發明所屬之技術領域】

本發明係關於一種非揮發性 (non-volatile) 記憶胞結構，特別關於一種快閃記憶胞結構及其操作方法。

### (二)、【先前技術】

請參照圖1所示，習知的快閃記憶胞結構1包括一基底10、一汲極11、一源極12、二場氧化層13、一控制閘極14、一浮置閘極15、以及一P型井 (P well) 16。其中，汲極11與源極12係形成於基底10中且位於二場氧化層13之間，而在汲極11與源極12之間形成有一堆疊式閘極，其中包括有控制閘極14與浮置閘極15，另外，P型井16係植入於汲極11與源極12周圍。如圖所示，一閘極電壓 $V_G$ 施加於控制閘極14上，用以控制快閃記憶胞結構1，浮置閘極15為浮置狀態。當執行快閃記憶胞結構1的編程操作時，閘極電壓 $V_G$ 為-9V，施於汲極11的汲極電壓 $V_D$ 為6V，源極12之源極電壓 $V_S$ 為浮置狀態，而施於基底10的基底電壓 $V_B$ 為0V。如此，將使得位於浮置閘極15中的電子 ( $e^-$ ) 因邊緣富勒-諾得亥姆效應 (edge Fowler-Nordheim effect) 而使電子射出浮置閘極15到達汲極11藉以編程此快閃記憶胞結構1。但在施加電壓於汲極11時，此電壓會在汲極11外形成空乏區 (depletion region) 17，並會產生熱電洞 ( $e^+$ )，在藉由橫向電場 (lateral electric field) 的作用下，會造成熱電洞注入 (hot hole injection) 之現象，其係嚴重影響快閃記憶胞結構1的正常操作。

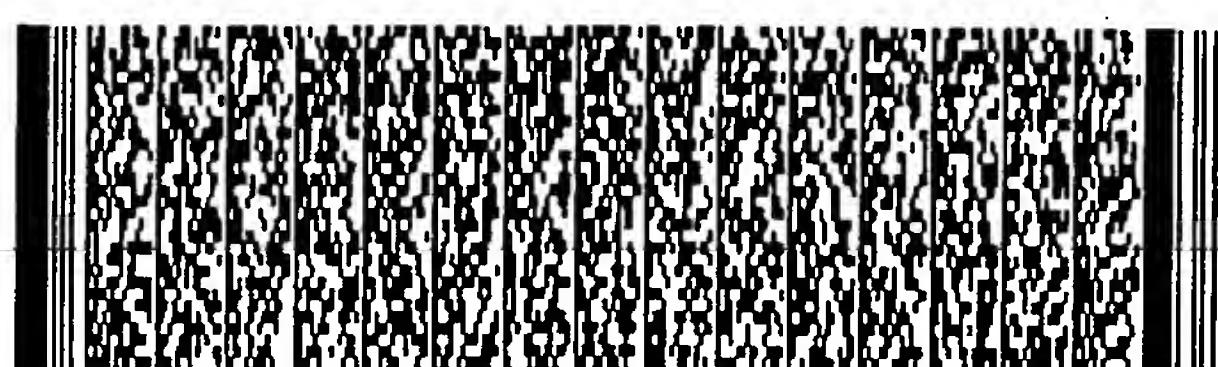
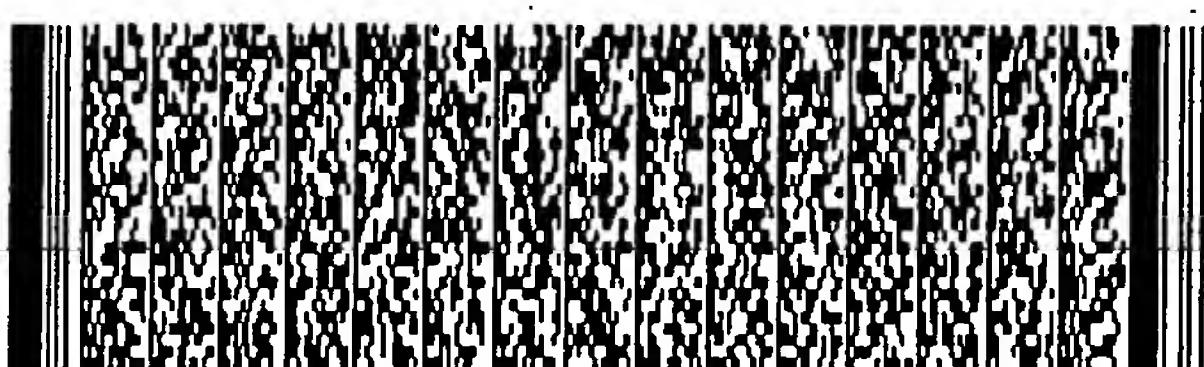


## 五、發明說明 (2)

習知技術乃針對上述缺失提出一種改良的快閃記憶胞結構及其操作方式。請參照圖2所示，此方法的不同點在於將汲極11與P型井16電性短路連接在一起，並以一相同的電壓，如 $V_D = 6V$ 施加於其上，而且利用通道富勒-諾得亥姆效應 (channel Fowler-Nordheim effect) 來操作此快閃記憶胞結構。因此，在汲極11與P型井16間的接面便不會形成空乏區，亦不會有熱電洞產生。

雖然，利用通道富勒-諾得亥姆效應來操作上述快閃記憶胞結構可以改善缺失，然而，因為其係將汲極11與P型井16電性短路連接在一起，而P型井16在基底10中延伸，其有可能會影響鄰近的源極12，或更甚影響相鄰快閃記憶胞結構的正常操作。

為避免將汲極11與P型井16電性短路連接在一起，而影響鄰近的源極區所造成的問題，熟知技術者係於美國專利第6,091,644號中提出另一種快閃記憶胞結構2，如圖3所示，其包括一基底20、一第一型離子摻雜區25、一第二型離子淺摻雜區26、一第二型離子深摻雜區27、及一源極摻雜區28。其中，基底20具有一場氧化層21與一堆疊式閘極，場氧化層21下方形成有一通道阻絕層22，堆疊式閘極包括一控制閘極23及一浮置閘極24。在快閃記憶胞結構2中，第一型離子摻雜區25係為快閃記憶胞結構2之汲極，第二型離子深摻雜區27為P型井，而源極摻雜區28為快閃記憶胞結構2之源極，因此，每一汲極便對應一P型井，此時，即使將汲極與P型井電性短路連接在一起，也不會如



### 五、發明說明 (3)

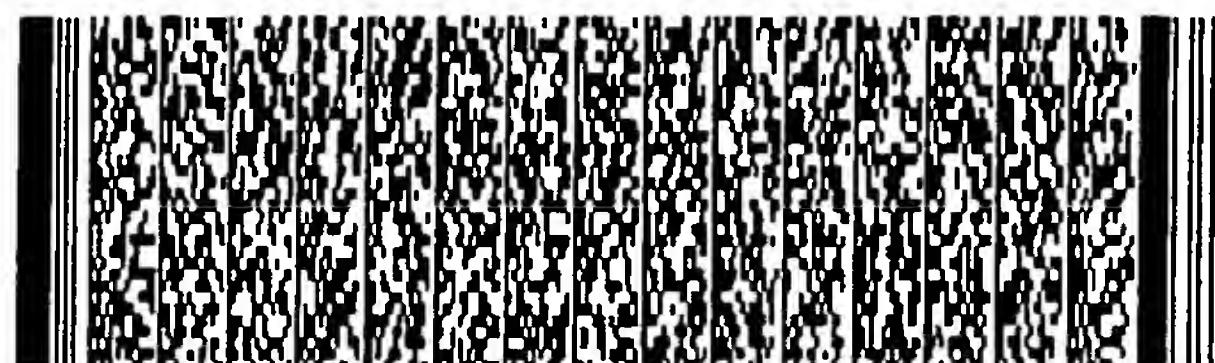
圖2所示的快閃記憶胞結構一般，影響到鄰近的源極與相鄰快閃記憶胞結構的正常操作。

然而，在快閃記憶胞結構2中，由於汲極與P型井係電性短路連接在一起，所以在進行編程操作時，P型井會達到與汲極相同的電壓位準；同時，與待編程之快閃記憶胞結構2相鄰的快閃記憶胞結構（圖中未顯示）係具有相同的控制閘極電壓位準，故此相鄰的快閃記憶胞結構會產生邊緣編程干擾現象（edge program disturb issue）；而為了避免邊緣編程干擾現象，習知技術係將浮置閘極邊緣的穿遂氧化層（tunnel oxide layer）加厚，但是，如此不但製程上不易控制，而且會降低產品的可靠度。另外，在快閃記憶胞結構2中在編程（program）時還會使得相鄰之快閃記憶胞結構有漏電的問題；一般而言，熟知技術者係於其他快閃記憶胞結構之控制閘極施加一特定電壓，如-2V，以減低在編程時的漏電問題，如不施加一負電壓將會增加電路中電荷充電（charging pumping）的負荷，進而可能造成快閃記憶胞操作上的故障。

如上所述，如何提供一種改良的快閃記憶胞結構，以避免產生邊緣編程干擾，並減少過度編程現象及在編程時的漏電問題，正是當前記憶體製造技術的重要課題之一。

### （三）、【發明內容】

針對上述問題，本發明之目的為提供一種能夠避免邊緣編程干擾現象及過度編程現象的快閃記憶胞結構及其操



## 五、發明說明 (4)

作方法。

為達上述目的，依本發明之快閃記憶胞結構係於堆疊式閘極一側形成有一選擇閘極。

緣是，依本發明之快閃記憶胞結構包括一基底、一選擇閘極、一第一型離子摻雜區、一第二型離子淺摻雜區、一第二型離子深摻雜區以及一源極摻雜區。在本發明中，基底具有一堆疊式閘極；選擇閘極形成於基底上並位於堆疊式閘極之一側；第一型離子摻雜區係位於基底中並與選擇閘極鄰設，以作為快閃記憶胞結構之汲極；第二型離子摻雜區連接；第二型離子深摻雜區係位於第一型離子摻雜區周圍，並與第二型離子淺摻雜區連接；而源極摻雜區係鄰設於第二型離子淺摻雜區一側以作為快閃記憶胞結構之源極。

另外，本發明亦提供一種快閃記憶胞結構操作方法，其係應用於上述之快閃記憶胞結構。在本發明中，當執行一編程操作時，控制閘極係施以一高位電壓，汲極係施加一相對低於控制閘極之電壓，源極為浮置狀態而選擇閘極則為接地狀態；當執行一抹除操作時，於控制閘極施一低位準電壓，於選擇閘極施一相對高於控制閘極之電壓，而源極與汲極為浮置狀態；當執行一讀取操作時，於控制閘極施一字元線電壓，於源極施一相對低於字元線電壓之電壓，汲極為接地狀態，選擇閘極為一電壓源電壓 (power voltage)。

如上所述，由於依本發明之快閃記憶胞結構係具有選



## 五、發明說明 (5)

擇閘極，而本發明之快閃記憶胞結構操作方法係於選擇閘極施加高位準電壓，以便將位於浮置閘極中的電子射出到達選擇閘極，其係不同於習知的施加高位準電壓於汲極，所以可以有效地避免邊緣編程干擾現象及過度編程現象的產生。

### (四)、【實施方式】

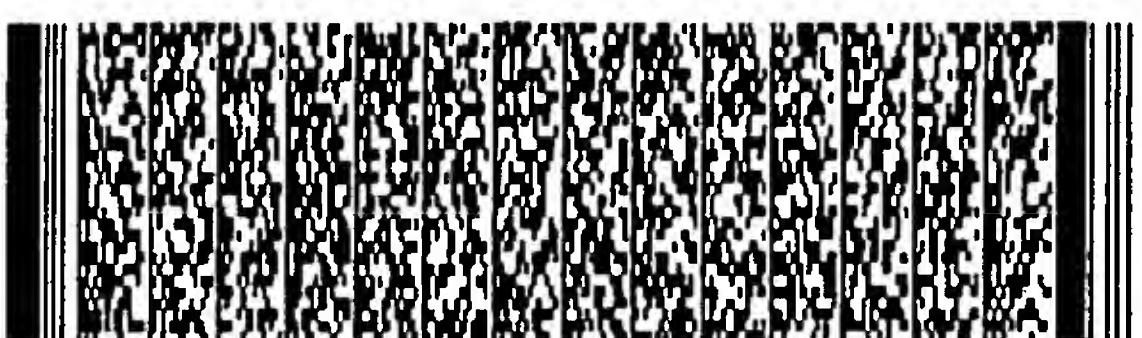
以下將參照相關圖式，說明依本發明較佳實施例之快閃記憶胞結構及其操作方法，其中相同的元件將以相同的參考符號加以說明。

請參照圖4A所示，依本發明較佳實施例之快閃記憶胞結構3包括一基底30、一第一型離子摻雜區35、一第二型離子淺摻雜區36、一第二型離子深摻雜區37、以及一選擇閘極38。

在本實施例中，基底30係具有第一場氧化層31與一堆疊式閘極G，在第一場氧化層下方形成有一通道阻絕層32，其可為N型離子摻雜區，堆疊式閘極G包括一控制閘極33以及一浮置閘極34。

選擇閘極38係形成於基底30上，並位於堆疊式閘極G之一側。

第一型離子摻雜區35係位於基底30中並鄰設於選擇閘極38，亦即是位於選擇閘極38與第一場氧化層31之間，以為快閃記憶胞結構3之汲極。在本實施例中，第一型離子摻雜區35可以是N型離子摻雜區。



## 五、發明說明 (6)

第二型離子淺摻雜區36係位於堆疊式閘極G下方並與第一型離子摻雜區35連接。在本實施例中，第二型離子淺摻雜區36可以是P型離子淺摻雜區。

第二型離子深摻雜區37係位於第一型離子摻雜區35周圍，並與第二型離子淺摻雜區36連接。在本實施例中，第二型離子深摻雜區37之摻雜深度係遠大於第二型離子淺摻雜區36之摻雜深度，且第二型離子深摻雜區37摻雜有與第二型離子淺摻雜區36相同的離子，其可以是P型離子深摻雜區，以便作為一P型井。一般而言，第二型離子深摻雜區37與第二型離子淺摻雜區36所摻雜的離子通常為三A族元素，如硼。

另外，依本發明較佳實施例之快閃記憶胞結構更包括一源極摻雜區，其係鄰設於第二型離子淺摻雜區一側以為快閃記憶胞結構之源極。需注意者，在本發明中，作為源極之源極摻雜區並未限定在汲極的對側。理論上，依本發明之快閃記憶胞結構的源極可以位在基底30的任何位置上。以下參考圖4B與圖4C，用以說明源極之結構，但並非用以限制本發明。

如圖4B所示，依本發明另一較佳實施例之快閃記憶胞結構4更包括一源極摻雜區39，其係鄰設於第二型離子淺摻雜區36，並位於第一型離子摻雜區35之對側，以便作為快閃記憶胞結構4之源極。此外，在源極摻雜區39下方具有一與源極摻雜區39摻雜相同離子的淺摻雜區310，惟淺摻雜區310的離子摻雜濃度較低。在本實施例中，源極摻



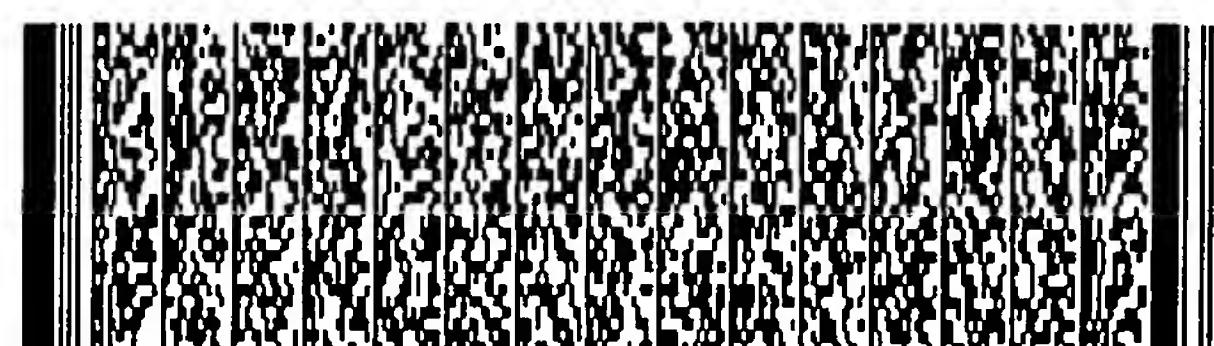
## 五、發明說明 (7)

雜區39與淺摻雜區310為N型離子摻雜區。

如圖4C所示，在本發明另一較佳實施例之快閃記憶胞結構5中，其結構係與上述之快閃記憶胞結構4相似，其差異在於把濃度較低之淺摻雜區310結構，換成一淺摻雜區LDD 310'之結構。一般而言，第一型離子摻雜區35、源極摻雜區39、與淺摻雜區310或淺摻雜區LDD 310'所摻雜的離子通常為五A族元素，如磷。

需注意者，如同美國專利第6,091,644號所揭露的內容，依本發明較佳實施例之快閃記憶胞結構的作為P型井之第二型離子深摻雜區37與作為汲極之第一型離子摻雜區35可以利用一金屬接觸（圖中未顯示），以便將P型井與汲極電性短路連接在一起。在本實施例中，金屬接觸可以是貫穿第一型離子摻雜區35與第二型離子深摻雜區37的接面，使其電性短路連接；此外，金屬接觸亦可以是將暴露出的第一型離子摻雜區35與第二型離子深摻雜區37電性短路連接。

接著，請參照圖4D所示，其係顯示本發明較佳實施例之快閃記憶胞結構的上視圖，其中，由於快閃記憶胞結構之源極可以位在基底30的任何位置上，所以並未顯示出此快閃記憶胞結構之源極。如圖所示，快閃記憶胞結構具有一作為字元線（word line）之控制閘極33與浮置閘極34、一與控制閘極33與浮置閘極34鄰設之選擇閘極38、以及作為汲極之第一型離子摻雜區35，此快閃記憶胞結構之主動區（active area）係被場氧化層31包圍，而第一型



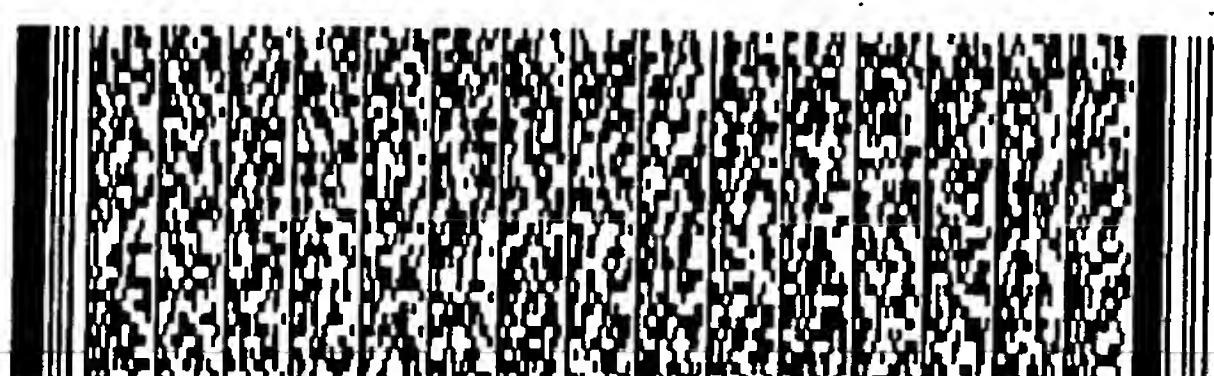
## 五、發明說明 (8)

離子摻雜區35與浮置閘極34之間係被選擇閘極38隔開。

承上所述，由於選擇閘極38係設於浮置閘極34與第一型離子摻雜區35之間，所以可以利用選擇閘極38來關閉(shut off)通道，以便有效地避免因過度編程所引起的漏電現象，而不需如習知一般，於其他快閃記憶胞的電路上做進一步的設計、處理，以避免過度編程；另外在本發明中，快閃記憶胞結構係利用選擇閘極38來參與其操作，因此能夠有效地防止邊緣編程干擾現象。以下將參照圖5A~5C所示，說明依本發明較佳實施例之快閃記憶胞結構的操作方法。

如圖5A~5C所示，其係於依本發明較佳實施例之快閃記憶胞結構50中分別執行編程、抹除、及讀取等操作。其中，快閃記憶胞結構50可以是前述的快閃記憶胞結構3、4或5，而且快閃記憶胞結構50係為NOR型快閃記憶胞結構；快閃記憶胞結構50之控制閘極、控制閘極、源極與汲極係分別施加字元線電壓 $V_{WL}$ 、控制閘極電壓 $V_{SG}$ 、源極線電壓 $V_{SL}$ 與位元線電壓 $V_{BL}$ ，且位元線電壓 $V_{BL}$ 與快閃記憶胞結構50之P型井係電性短路連接。

首先，如圖5A所示，當欲針對快閃記憶胞結構50執行一編程操作時，係於字元線電壓 $V_{WL}$ 施一高位準電壓，例如為 $V_{WL}=9\sim12V$ ，於快閃記憶胞結構50之汲極施一相對低於字元線電壓 $V_{WL}$ 之位元線電壓 $V_{BL}$ ，例如為 $V_{BL}=-9V$ ，而源極為浮置狀態、選擇閘極為接地狀態；此時，位於汲極中的電子會藉由富勒-諾得亥姆效應穿遂射至浮置閘極，藉以完



## 五、發明說明 (9)

### 成編程動作。

其次，如圖5B所示，當欲針對快閃記憶胞結構50執行一抹除操作時，係於字元線電壓 $V_{WL}$ 施一低位準電壓，例如為 $V_{WL}=0V$ ，於快閃記憶胞結構50之選擇閘極施一相對高於字元線電壓 $V_{WL}$ 之控制閘極電壓 $V_{SG}$ ，例如為 $10\sim12V$ ，而源極與汲極為浮置狀態。此時，快閃記憶胞結構50係透過浮置閘極與選擇閘極來進行抹除操作，亦即是poly-to-poly方式。此外，快閃記憶胞結構50在抹除操作中的臨限電壓為負值，而由於快閃記憶胞結構50中設有選擇閘極，所以在其他記憶胞中不會因為過度編程而造成漏電的情形。

當欲針對快閃記憶胞結構50執行一讀取操作時，如圖5C所示，係於字元線電壓 $V_{WL}$ 施一字元線電壓，例如為 $V_{WL}=1.8V$ ，於源極施一相對低於字元線電壓 $V_{WL}$ 之源極線電壓 $V_{SL}$ ，例如為 $V_{SL}=1.5V$ ，汲極之位元線電壓 $V_{BL}$ 為接地狀態，而選擇閘極為一電壓源電壓（power voltage） $V_{CC}$ ，如 $3.3V$ ；需注意者，在執行快閃記憶胞結構50之讀取操作的同時，其他快閃記憶胞結構之汲極係為浮置狀態，亦即是其他位元線為浮置。

熟悉該項技術者應該瞭解，在習知的EEPROM記憶胞中需設置一選擇電晶體（select transistor），因此將會影響到記憶胞的尺寸大小；而依據本發明之設計係使用選擇閘極來取代選擇電晶體之功能，所以依本發明之記憶胞結構將可視為一微小型EEPROM記憶胞，此時，因依本發明之記憶胞結構將不需要額外設置選擇電晶體，因此將可有



## 五、發明說明 (10)

效地縮小記憶胞的尺寸。在本實施例中，快閃記憶胞結構之操作方式係如圖6A~6C所示，其係分別用以說明單位元編程 (byte program) 以及單位元抹除 (byte erase) 的操作方式。需注意者，依據此種操作方式將可使依本發明之快閃記憶胞陣列具有一次只抹除一個位元之特徵，而非前述頁面式抹除 (page erase) 的方式。

如圖6A所示，當欲針對依本發明之快閃記憶胞結構執行一編程操作時，係於字元線電壓 $V_{WL}$ 施一高位準電壓，例如為 $V_{WL}=9\sim12V$ ，於快閃記憶胞結構之源極施一相對低於字元線電壓 $V_{WL}$ 之源極線電壓 $V_{SL}$ ，例如為 $6V$ ，並使汲極接地，而於選擇閘極上施加控制閘極電壓 $V_{SG}=1.5\sim2V$ 。

如圖6B所示，當欲針對依本發明之快閃記憶胞結構執行一抹除操作時，係於字元線電壓 $V_{WL}$ 施一低位準電壓，例如為 $V_{WL}=-9V$ ，於汲極施加一高位準電壓，如 $8V$ ，並使源極浮置、選擇閘極接地。

當欲針對依本發明之快閃記憶胞結構執行一讀取操作時，如圖6C所示，係於字元線電壓 $V_{WL}$ 施一字元線電壓，例如為 $V_{WL}=3.3V$ ，於源極施一相對低於字元線電壓 $V_{WL}$ 之源極線電壓 $V_{SL}$ ，例如為 $V_{SL}=1.5V$ ，汲極之位元線電壓 $V_{BL}$ 為接地狀態，而選擇閘極為一電壓源電壓 $V_{CC}$ ，如 $3.3V$ 。

此外，依本發明之快閃記憶胞結構亦可以視為一 BiNOR 型之記憶胞，而其操作方式係如圖7A~7C所示。

當欲針對依本發明之快閃記憶胞結構執行一編程操作時，如圖7A所示，係於字元線電壓 $V_{WL}$ 施一低位準電壓，例



## 五、發明說明 (11)

如為  $V_{WL} = -9V$ ，於快閃記憶胞結構之汲極施一相對高於字元線電壓  $V_{WL}$  之位元線電壓  $V_{SL}$ ，例如為  $6V$ ，並使源極浮置，而選擇閘極接地。

如圖7B所示，當欲針對依本發明之快閃記憶胞結構執行一抹除操作時，係於字元線電壓  $V_{WL}$  施一高位準電壓，例如為  $V_{WL} = 10V$ ，於源極施加一低位準電壓，如  $-9V$ ，並使汲極浮置、選擇閘極接地。

當欲針對依本發明之快閃記憶胞結構執行一讀取操作時，如圖7C所示，係於字元線電壓  $V_{WL}$  施一字元線電壓，例如為電壓源電壓  $V_{CC}$ （即  $V_{WL} = 3.3V$ ），於源極施一相對低於字元線電壓  $V_{WL}$  之源極線電壓  $V_{SL}$ ，例如為  $V_{SL} = 1.5V$ ，汲極之位元線電壓  $V_{BL}$  為接地狀態，而選擇閘極亦為電壓源電壓（power voltage）  $V_{CC}$ ，如  $3.3V$ 。

綜上所述，由於依本發明之快閃記憶胞結構係具有選擇閘極，且其係設於浮置閘極與第一型離子摻雜區之間，所以可以允許過度編程，並有效地避免漏電現象；此外，本發明之快閃記憶胞結構操作方法係於選擇閘極施加高位準電壓，以便將位於浮置閘極中的電子射出到達選擇閘極，亦即是poly-to-poly的方式，所以可以有效地避免邊緣編程干擾現象及過度編程現象的產生。

以上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。



## 圖式簡單說明

### (五)、【圖式簡單說明】

圖1為一示意圖，顯示習知的快閃記憶胞結構及其操作的示意圖。

圖2為一示意圖，顯示另一習知的快閃記憶胞結構及其操作的示意圖。

圖3為一示意圖，顯示於美國專利第6,091,644號中所揭露的快閃記憶胞結構的示意圖。

圖4A為一示意圖，顯示依本發明較佳實施例之快閃記憶胞結構，其中未顯示源極摻雜區。

圖4B~4C為示意圖，顯示依本發明另一較佳實施例之快閃記憶胞結構，其中係顯示源極摻雜區。

圖4D為示意圖，顯示依本發明較佳實施例之快閃記憶胞結構的上視圖。

圖5A~5C為示意圖，顯示依本發明較佳實施例之快閃記憶胞結構操作方法的電路圖。

圖6A~6C為示意圖，顯示依本發明另一較佳實施例之快閃記憶胞結構操作方法的電路圖。

圖7A~7C為示意圖，顯示依本發明又一較佳實施例之快閃記憶胞結構操作方法的電路圖。

#### 元件符號說明：

1 快閃記憶胞結構

10 基底

11 沖極



圖式簡單說明

- 12 源極
- 13 場氧化層
- 14 控制閘極
- 15 浮置閘極
- 16 P型井
- 17 空乏區
- 2 快閃記憶胞結構
- 20 基底
- 21 場氧化層
- 22 通道阻絕層
- 23 控制閘極
- 24 浮置閘極
- 25 第一型離子摻雜區
- 26 第二型離子淺摻雜區
- 27 第二型離子深摻雜區
- 28 源極摻雜區
- 3 快閃記憶胞結構
- 30 基底
- 31 場氧化層
- 32 通道阻絕層
- 33 控制閘極
- 34 浮置閘極
- 35 第一型離子摻雜區
- 36 第二型離子淺摻雜區



圖式簡單說明

37 第二型離子深摻雜區

38 選擇閘極

39 源極摻雜區

310 淺摻雜區

310' 淺摻雜區LDD

4 快閃記憶胞結構

5 快閃記憶胞結構

50 快閃記憶胞結構

G 堆疊式閘極

$V_B$  基底電壓

$V_{BL}$  位元線電壓

$V_D$  沖極電壓

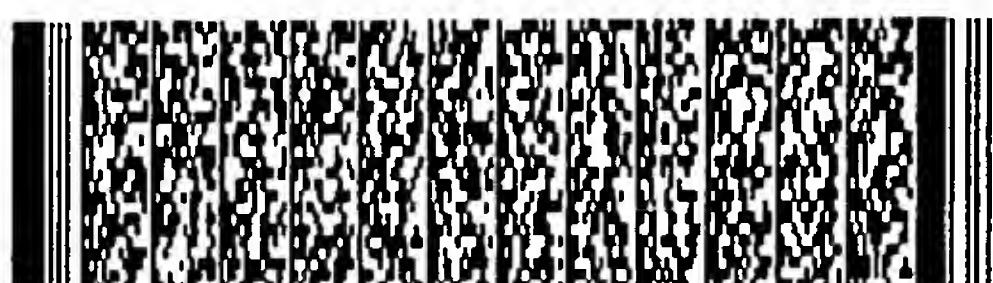
$V_G$  閘極電壓

$V_S$  源極電壓

$V_{SG}$  控制閘極電壓

$V_{SL}$  源極線電壓

$V_{WL}$  字元線電壓



## 六、申請專利範圍

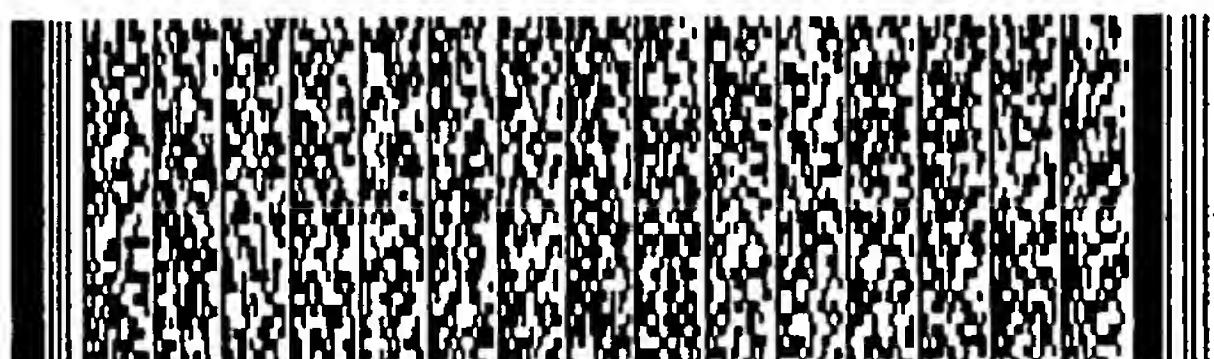
1、一種快閃記憶胞結構，包含：

- 一基底，其係具有一堆疊式閘極（stacked gate）；
- 一選擇閘極，其係形成於該基底上並位於該堆疊式閘極之一側；
- 一第一型離子摻雜區，其係位於該基底中並鄰設於該選擇閘極，以作為該快閃記憶胞結構之汲極；
- 一第二型離子淺摻雜區，其係位於該堆疊式閘極下方並與該第一型離子摻雜區連接；
- 一第二型離子深摻雜區，其係位於該第一型離子摻雜區周圍，並與該第二型離子淺摻雜區連接；以及
- 一源極摻雜區，其係鄰設於該第二型離子淺摻雜區一側以為該快閃記憶胞結構之源極。

2、如申請專利範圍第1項所述之快閃記憶胞結構，其中該第二型離子深摻雜區之摻雜深度大於該第二型離子淺摻雜區之摻雜深度。

3、如申請專利範圍第1項所述之快閃記憶胞結構，其中該第二型離子深摻雜區與該第二型離子淺摻雜區係摻雜相同離子。

4、如申請專利範圍第3項所述之快閃記憶胞結構，其中該第二型離子深摻雜區與該第二型離子淺摻雜區所摻雜的離子為三A族元素。



## 六、申請專利範圍

- 5、如申請專利範圍第1項所述之快閃記憶胞結構，其中該第一型離子摻雜區與該源極摻雜區所摻雜的離子為五A族元素。
- 6、如申請專利範圍第1項所述之快閃記憶胞結構，其中該第一型離子摻雜區與該第二型離子深摻雜區係電性短路連接。
- 7、如申請專利範圍第6項所述之快閃記憶胞結構，其係透過一接觸貫穿該第一型離子摻雜區與該第二型離子深摻雜區之接面的金屬來電性短路連接。
- 8、如申請專利範圍第6項所述之快閃記憶胞結構，其係透過一接觸暴露於該基底外之該第一型離子摻雜區與該第二型離子深摻雜區的金屬來電性短路連接。
- 9、如申請專利範圍第1項所述之快閃記憶胞結構，其中該堆疊式閘極包含一位於該第二型離子淺摻雜區上方之浮置閘極，以及一位於該浮置閘上方之控制閘極。
- 10、一種快閃記憶胞結構操作方法，係應用於一快閃記憶胞結構，該快閃記憶胞結構包含一基底、一選擇閘極、一第一型離子摻雜區、一第二型離子淺摻雜區、一第二型離



## 六、申請專利範圍

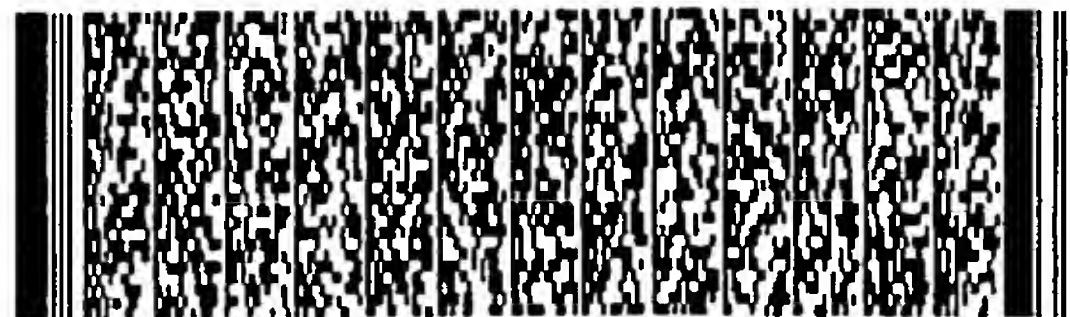
子深摻雜區、及一源極摻雜區，該基底係具有一堆疊式閘極，該堆疊式閘極包含該快閃記憶胞結構之控制閘極，該選擇閘極係形成於該基底上並位於該堆疊式閘極之一側，該第一型離子摻雜區係位於該基底中並鄰設於該選擇閘極以作為該快閃記憶胞結構之汲極，該第二型離子淺摻雜區係位於該堆疊式閘極下方並與該第一型離子摻雜區連接，該第二型離子深摻雜區係位於該第一型離子摻雜區周圍並與該第二型離子淺摻雜區連接，該源極摻雜區係鄰設於該第二型離子淺摻雜區一側以作為該快閃記憶胞結構之源極，該快閃記憶胞結構操作方法包含：

當執行一編程操作時，於該控制閘極施一高位準電壓，於該汲極施一相對低於該控制閘極之電壓，該源極為浮置狀態，該選擇閘極為接地狀態；

當執行一抹除操作時，於該控制閘極施一低位準電壓，於該選擇閘極施一相對高於該控制閘極之電壓，該源極與該汲極為浮置狀態；以及

當執行一讀取操作時，於該控制閘極施一字元線電壓，於該源極施一相對低於該字元線電壓之電壓，該汲極為接地狀態，該選擇閘極為一電壓源電壓 (power voltage)。

11、如申請專利範圍第10項所述之快閃記憶胞結構操作方法，其中該快閃記憶胞結構係為NOR型快閃記憶胞結構。



## 六、申請專利範圍

12、一種快閃記憶胞結構操作方法，係應用於一快閃記憶胞結構，該快閃記憶胞結構包含一基底、一選擇閘極、一第一型離子摻雜區、一第二型離子淺摻雜區、一第二型離子深摻雜區、及一源極摻雜區，該基底係具有一堆疊式閘極，該堆疊式閘極包含該快閃記憶胞結構之控制閘極，該選擇閘極係形成於該基底上並位於該堆疊式閘極之一側，該第一型離子摻雜區係位於該基底中並鄰設於該選擇閘極以作為該快閃記憶胞結構之汲極，該第二型離子摻雜區周圍並與該堆疊式閘極下方並與該第一型離子摻雜區鄰設於該第二型離子深摻雜區係位於該第一型離子摻雜區一側以作為該快閃記憶胞結構之源極，該快閃記憶胞結構操作方法包含：

當執行一編程操作時，於該控制閘極施一高位準電壓，於該源極施一相對低於該控制閘極之電壓，該汲極為接地狀態，該選擇閘極為相對低於該源極之電壓；

當執行一抹除操作時，於該控制閘極施一低位準電壓，於該汲極施一相對高於該控制閘極之電壓，該源極為浮置狀態，該選擇閘極為接地狀態；以及

當執行一讀取操作時，於該控制閘極施一字元線電壓，於該源極施一相對低於該字元線電壓之電壓，該汲極為接地狀態，該選擇閘極為一電壓源電壓。

13、如申請專利範圍第12項所述之快閃記憶胞結構操作方



## 六、申請專利範圍

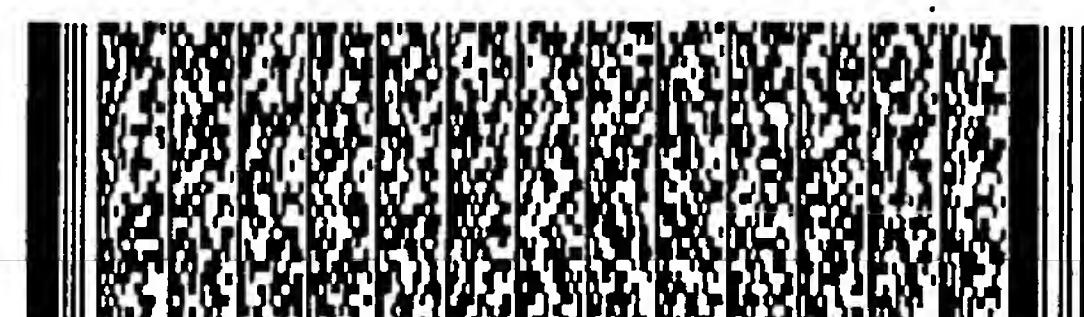
法，其係依據單位元編程（byte program）及單位元抹除（byte erase）方式進行該快閃記憶胞結構之操作。

14、一種快閃記憶胞結構操作方法，係應用於一快閃記憶胞結構，該快閃記憶胞結構包含一基底、一選擇閘極、一第一型離子摻雜區、一第二型離子淺摻雜區、一第二型離子深摻雜區、及一源極摻雜區，該基底係具有一堆疊式閘極，該堆疊式閘極包含該快閃記憶胞結構之控制閘極，該選擇閘極係形成於該基底上並位於該堆疊式閘極之一側，該第一型離子摻雜區係位於該基底中並鄰設於該第二型離子摻雜區，該第一型離子摻雜區係鄰設於該第二型離子摻雜區，該第一型離子摻雜區係位於該基底上並與該第二型離子深摻雜區連接，該源極摻雜區係鄰設於該第二型離子淺摻雜區，該快閃記憶胞結構操作方法包含：

當執行一編程操作時，於該控制閘極施一低位準電壓，於該汲極施一相對高於該控制閘極之電壓，該源極為浮置狀態，該選擇閘極為接地狀態；

當執行一抹除操作時，於該控制閘極施一高位準電壓，於該源極施一相對低於該控制閘極之電壓，該汲極為浮置狀態，該選擇閘極為接地狀態；以及

當執行一讀取操作時，於該控制閘極施一字元線電壓，於該源極施一相對低於該字元線電壓之電壓，該汲極為接



六、申請專利範圍

地狀態，該選擇閘極為一電壓源電壓。

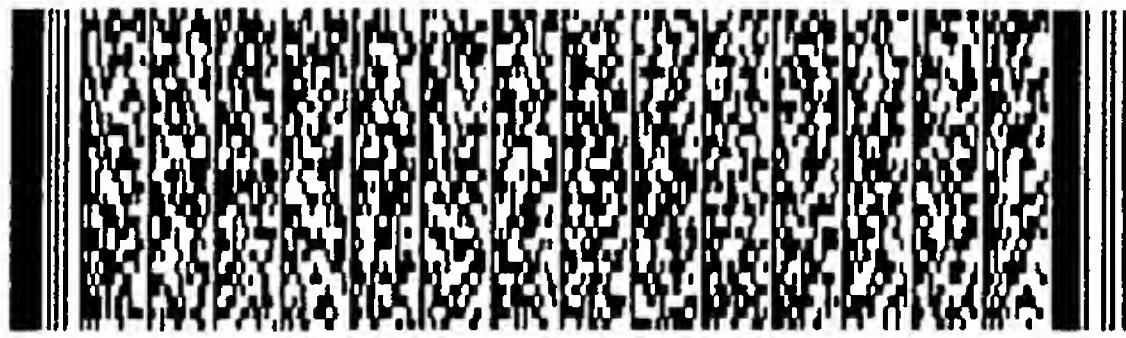
15、如申請專利範圍第14項所述之快閃記憶胞結構操作方法，其中該快閃記憶胞結構係為BiNOR型快閃記憶胞結構。

16、如申請專利範圍第14項所述之快閃記憶胞結構操作方法，其中當執行該讀取操作時，於該字元線電壓係與該電壓源電壓相等。



申請案件名稱:快閃記憶胞結構及其操作方法

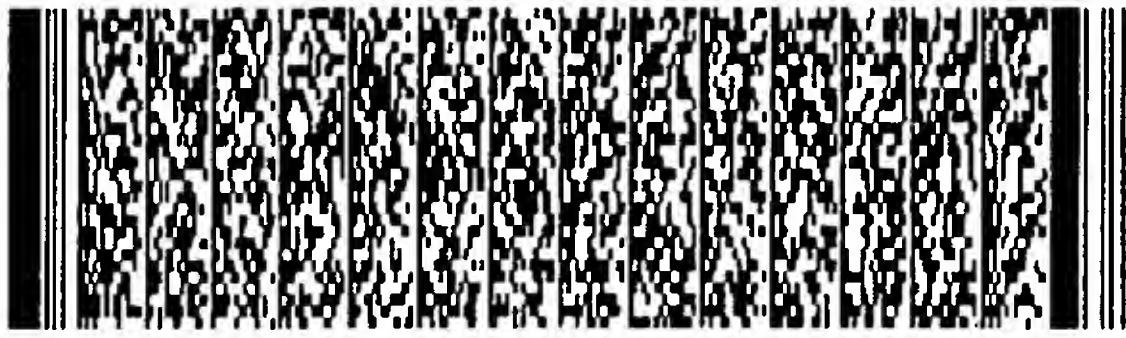
第 1/25 頁



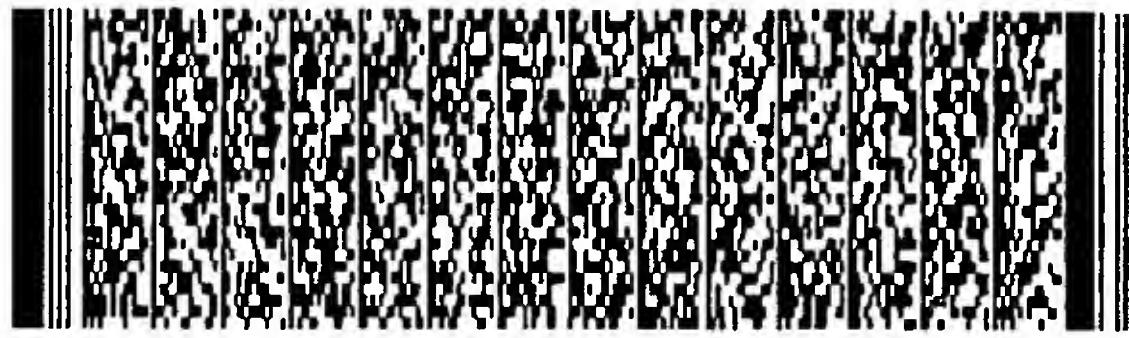
第 1/25 頁



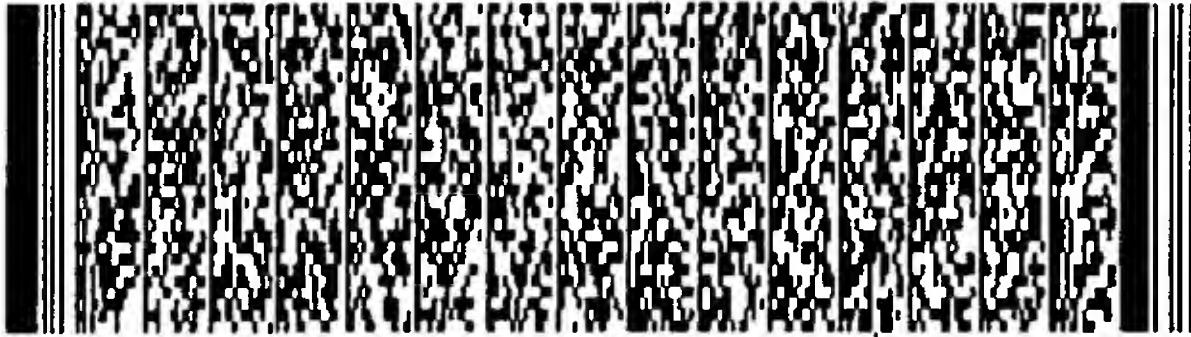
第 2/25 頁



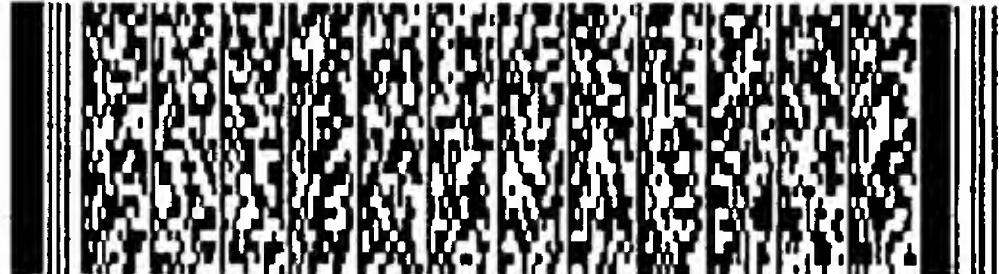
第 2/25 頁



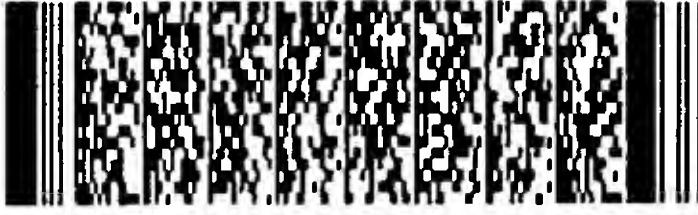
第 3/25 頁



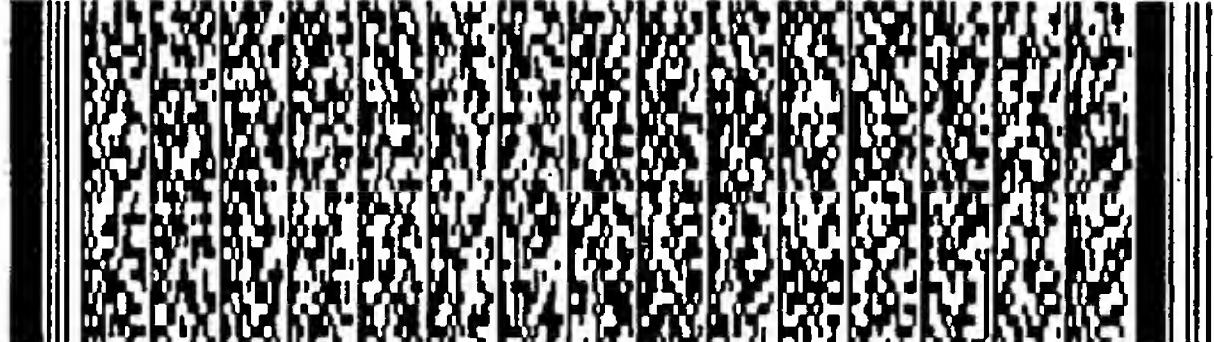
第 4/25 頁



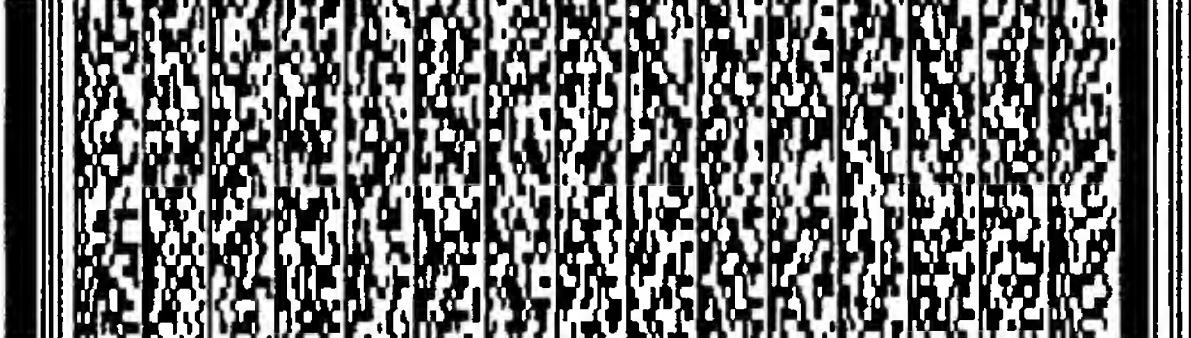
第 5/25 頁



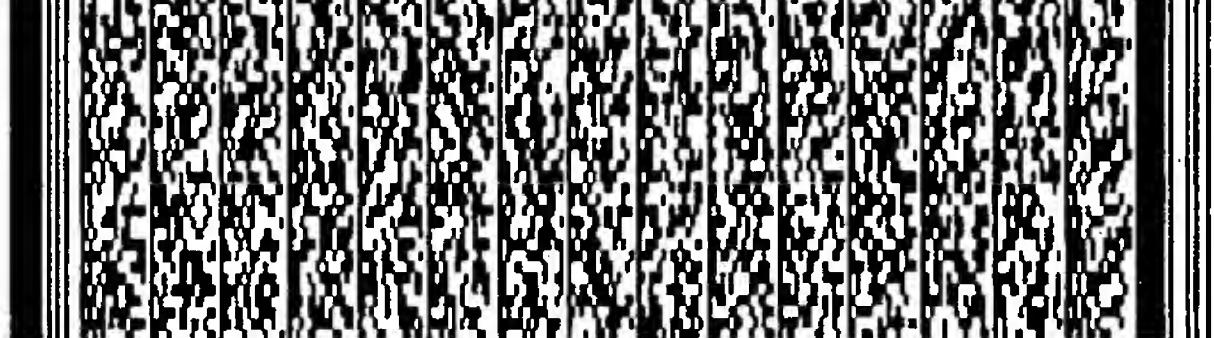
第 6/25 頁



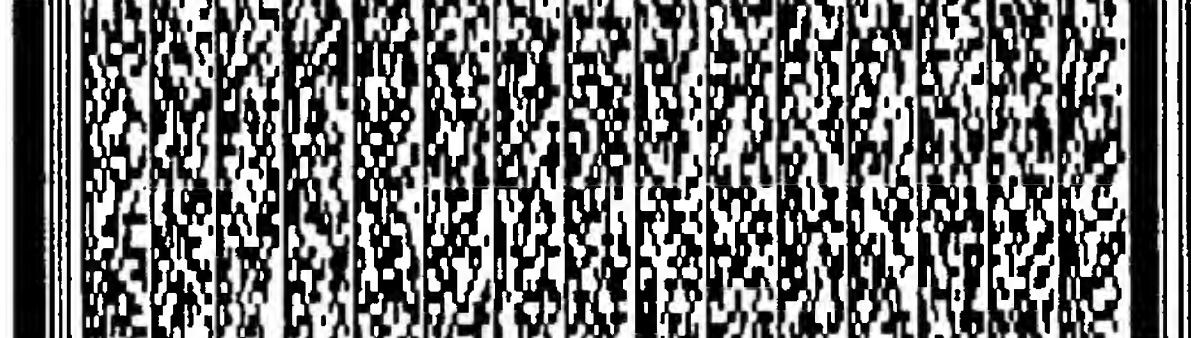
第 6/25 頁



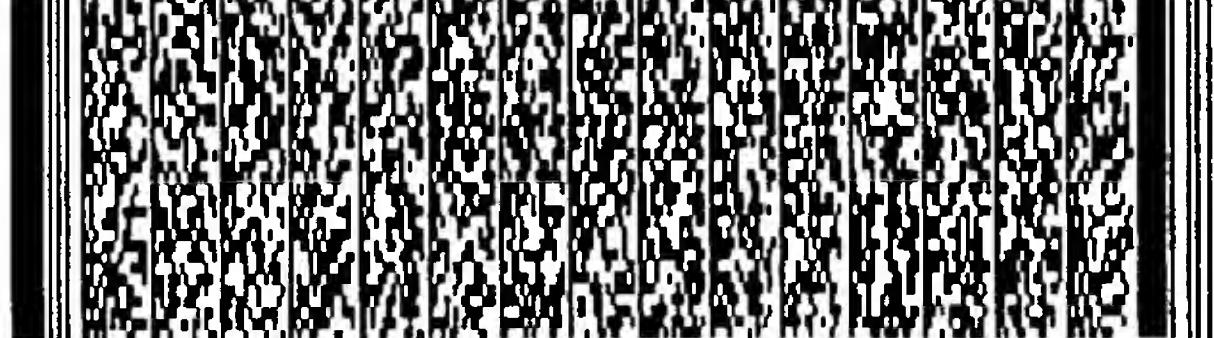
第 7/25 頁



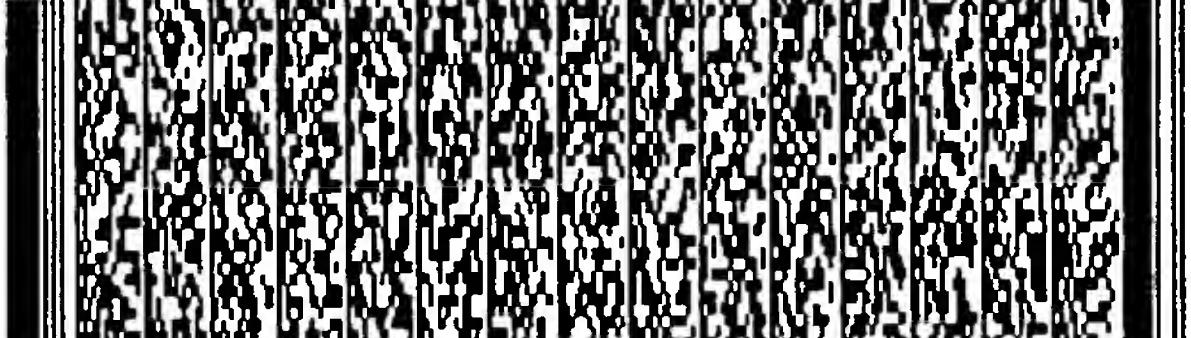
第 7/25 頁



第 8/25 頁



第 8/25 頁



第 9/25 頁



第 9/25 頁

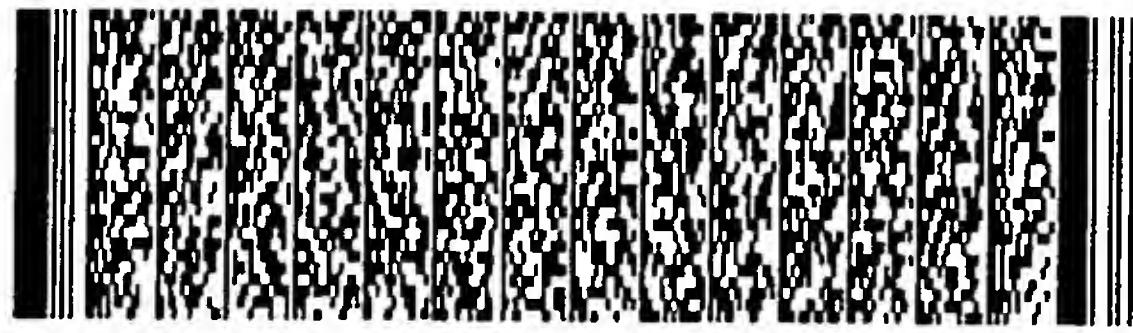


第 10/25 頁

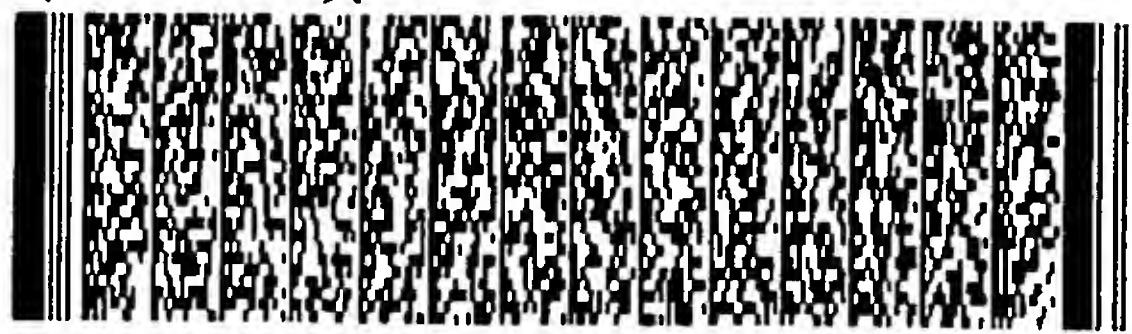


申請案件名稱:快閃記憶胞結構及其操作方法

第 10/25 頁



第 11/25 頁



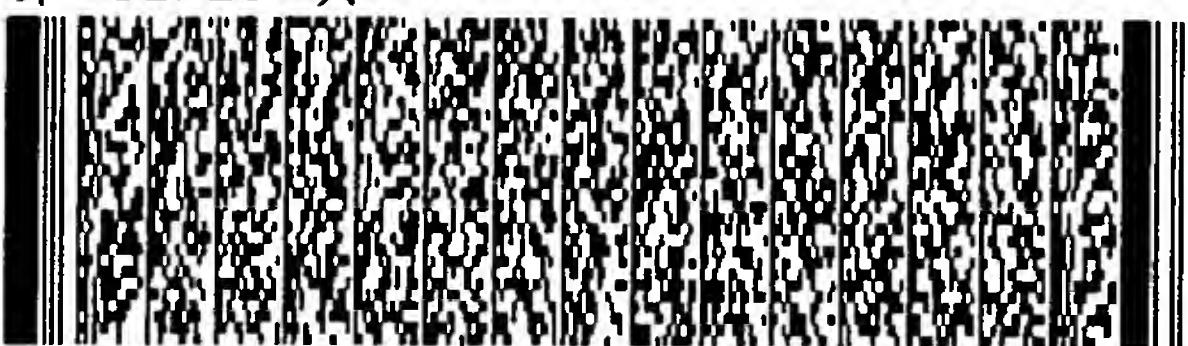
第 11/25 頁



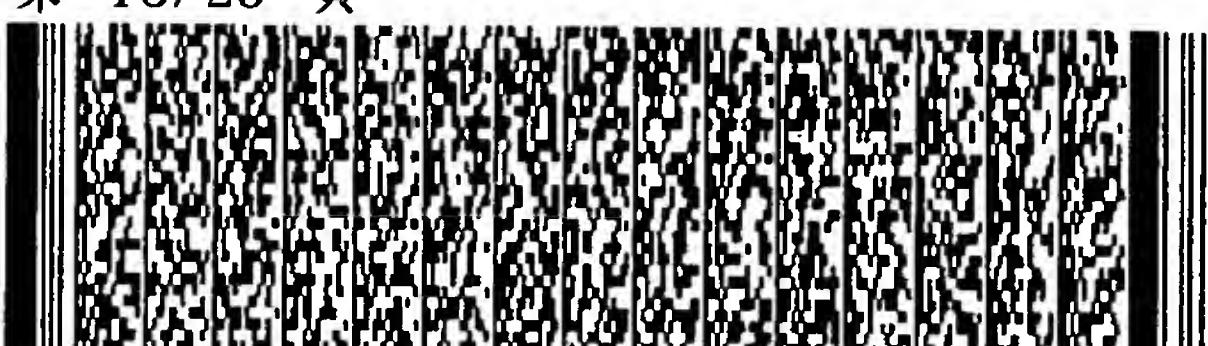
第 12/25 頁



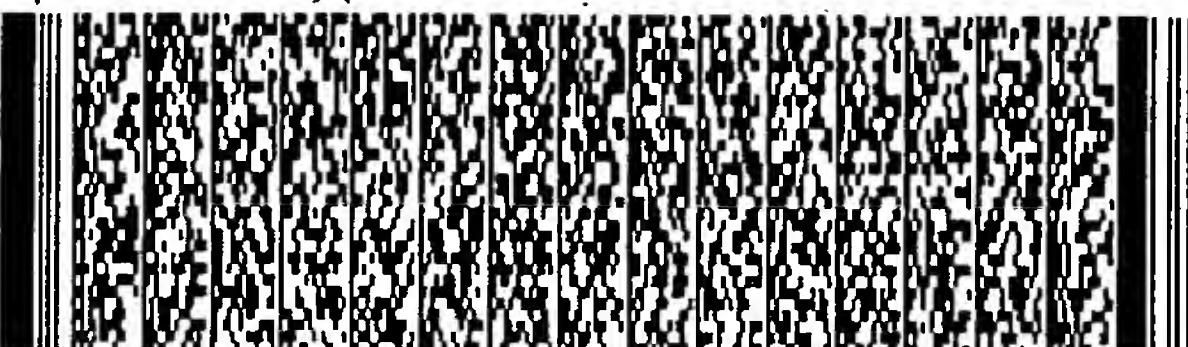
第 12/25 頁



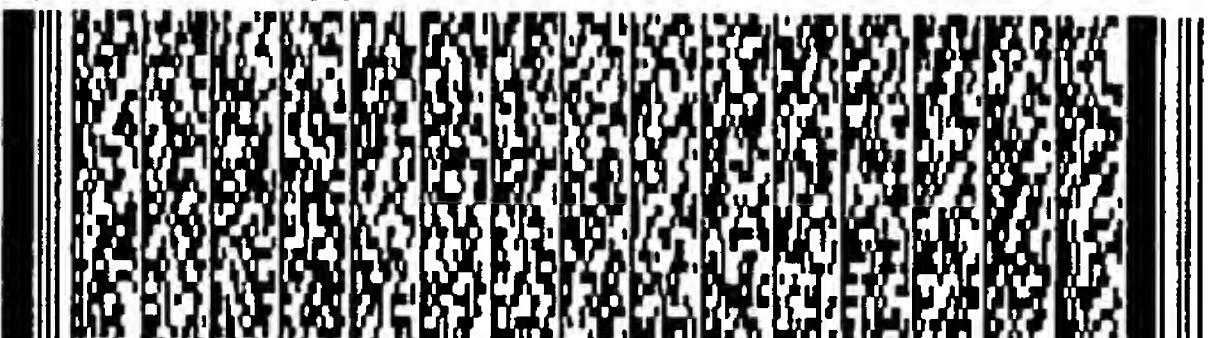
第 13/25 頁



第 13/25 頁



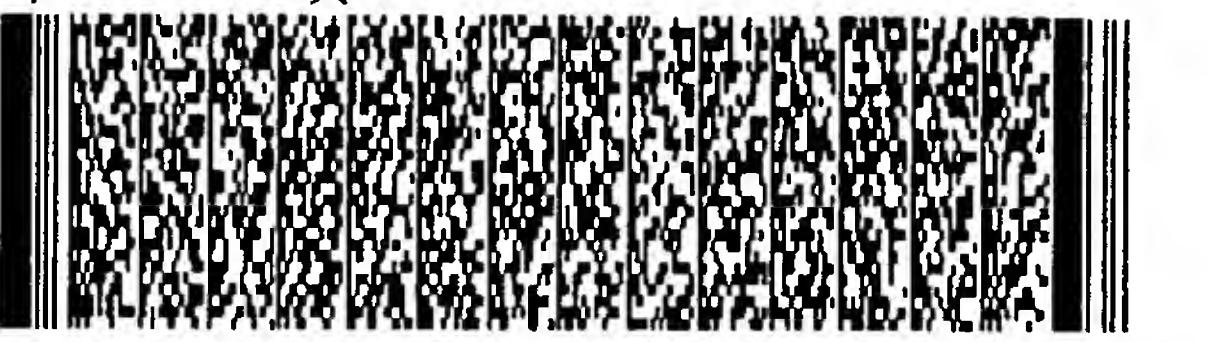
第 14/25 頁



第 14/25 頁



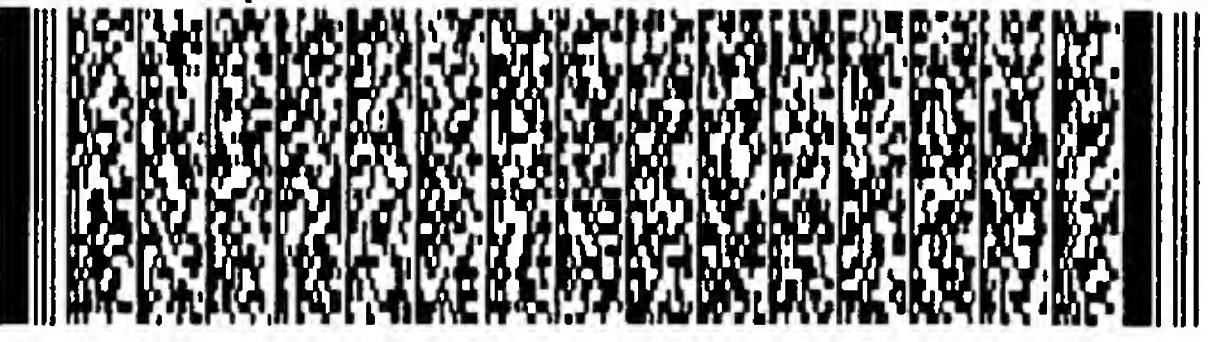
第 15/25 頁



第 15/25 頁



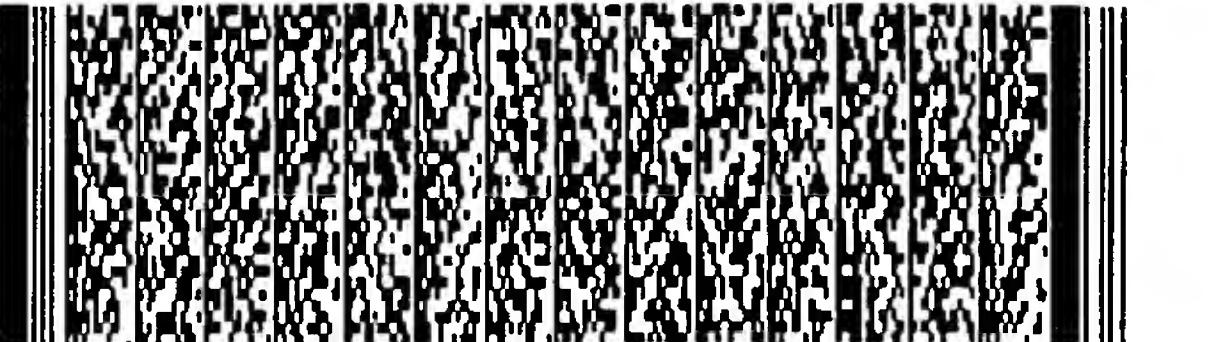
第 16/25 頁



第 16/25 頁



第 17/25 頁



第 18/25 頁

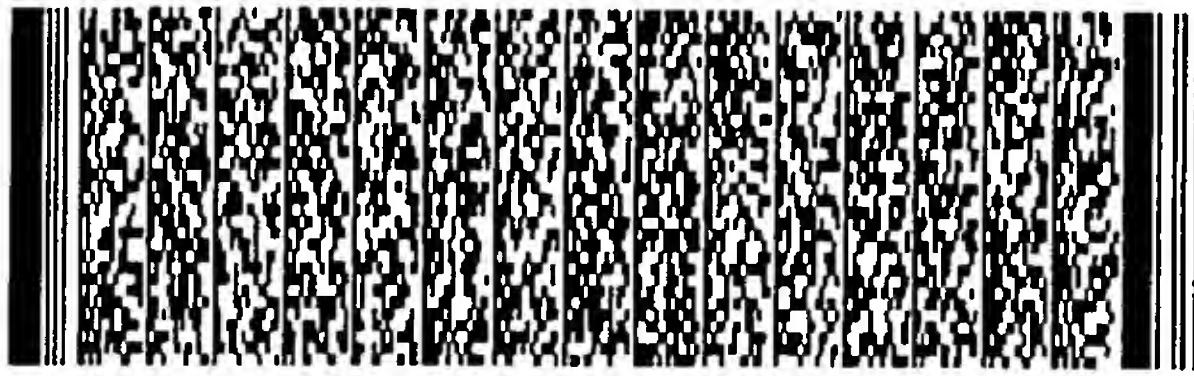


第 19/25 頁

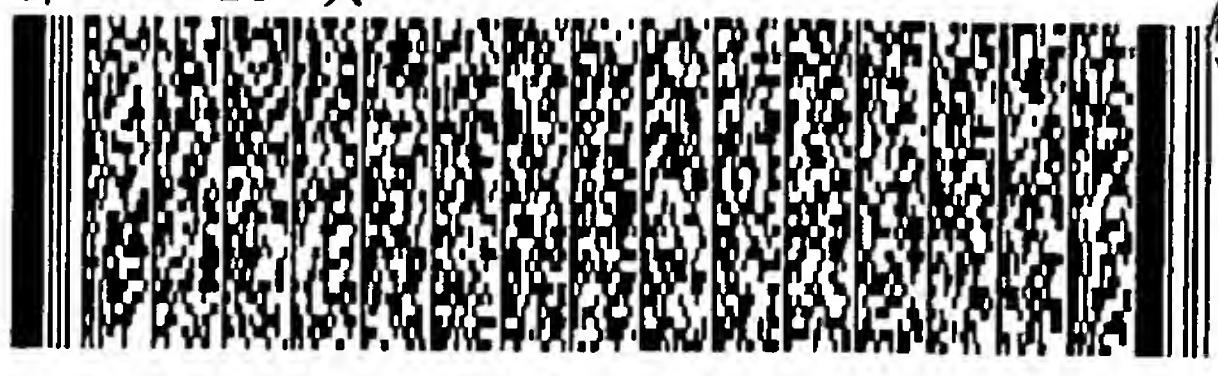


申請案件名稱:快閃記憶胞結構及其操作方法

第 20/25 頁



第 21/25 頁



第 22/25 頁



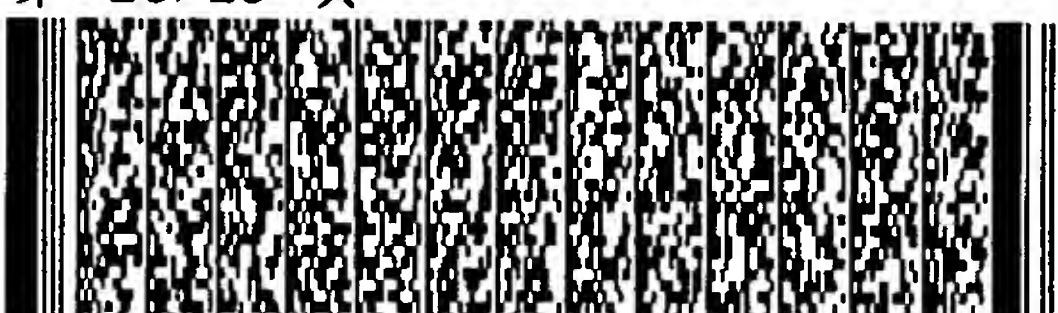
第 22/25 頁



第 23/25 頁



第 23/25 頁



第 24/25 頁



第 24/25 頁



第 25/25 頁



圖式

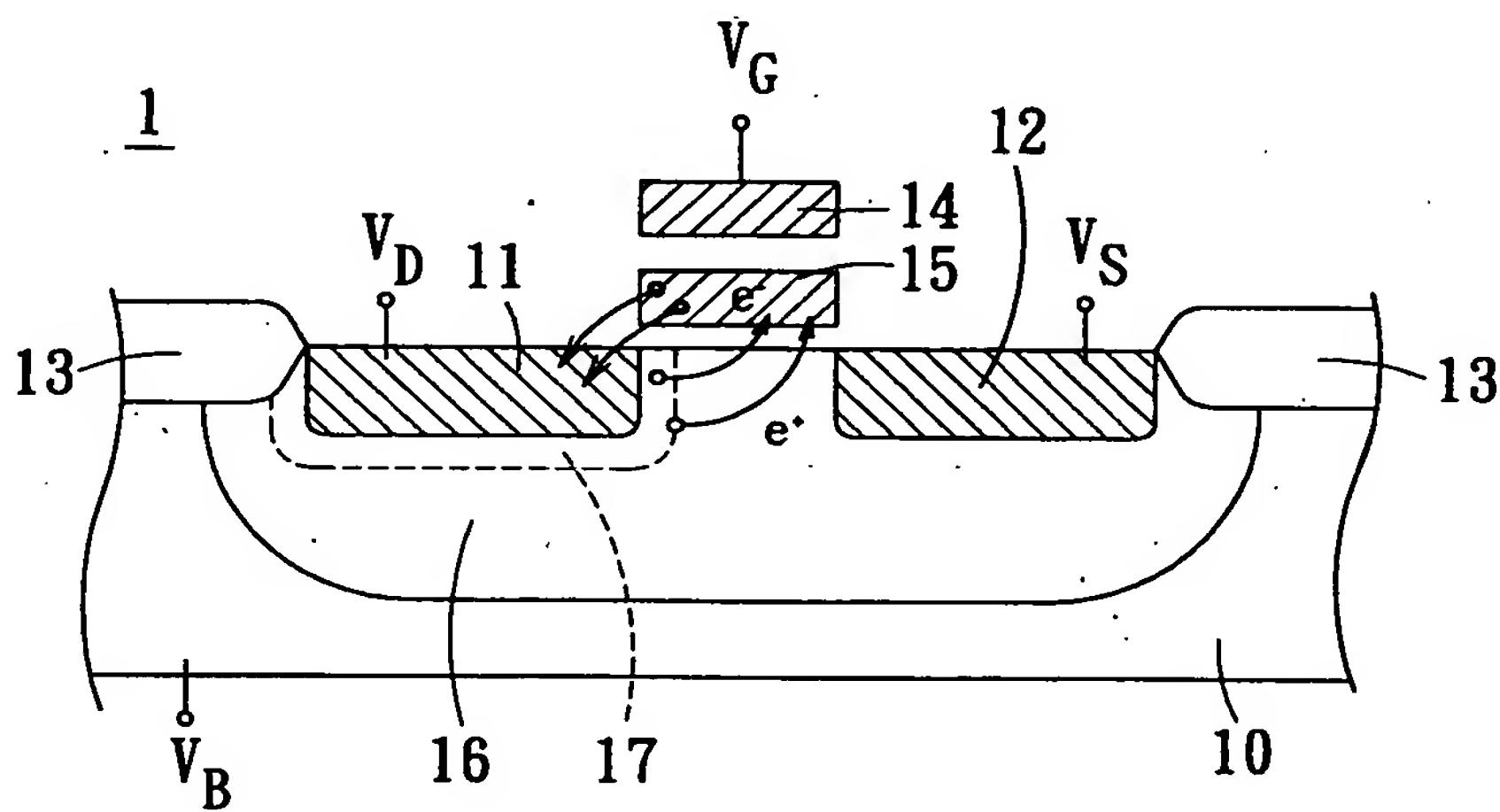


圖1

訂

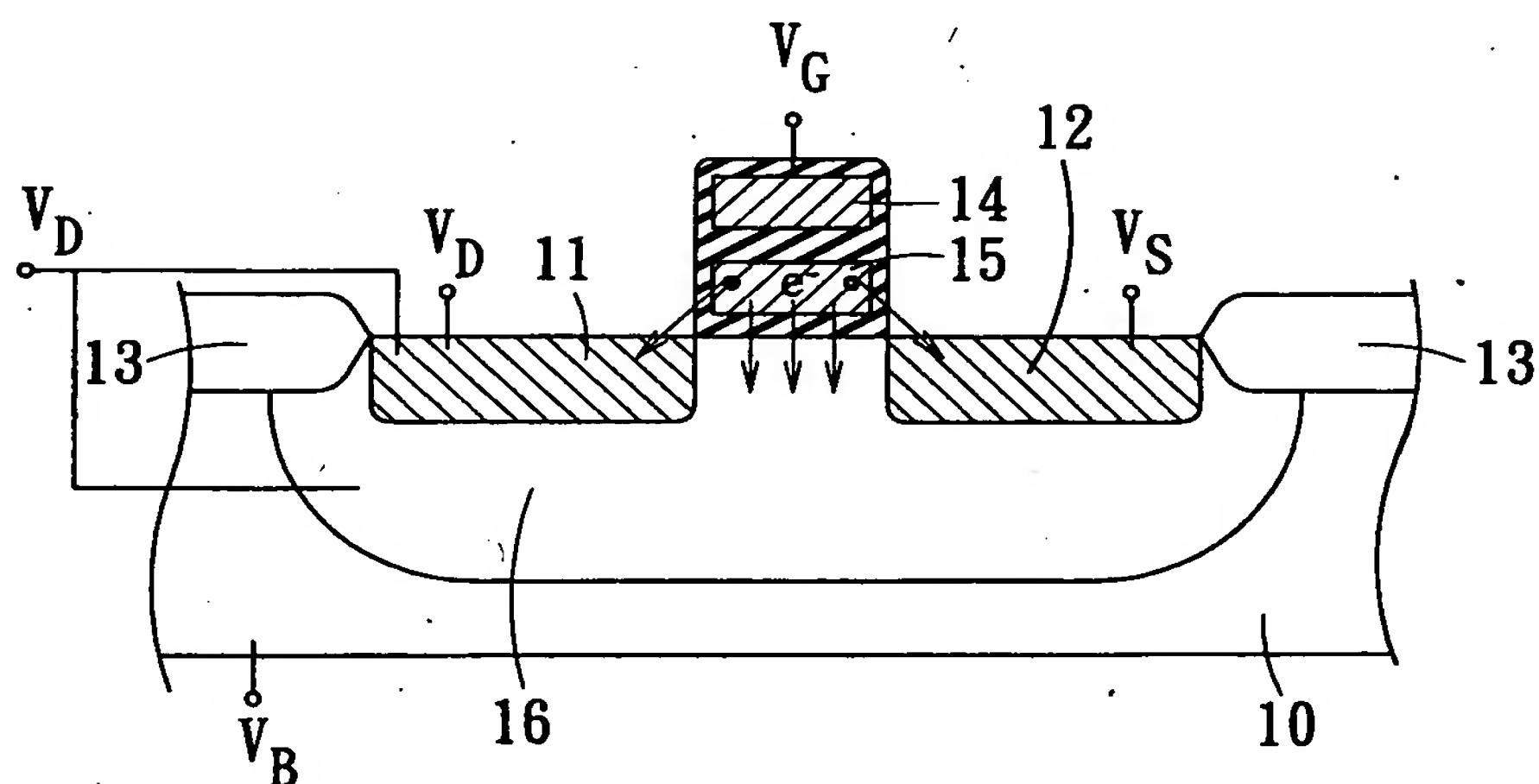


圖2

圖式

2

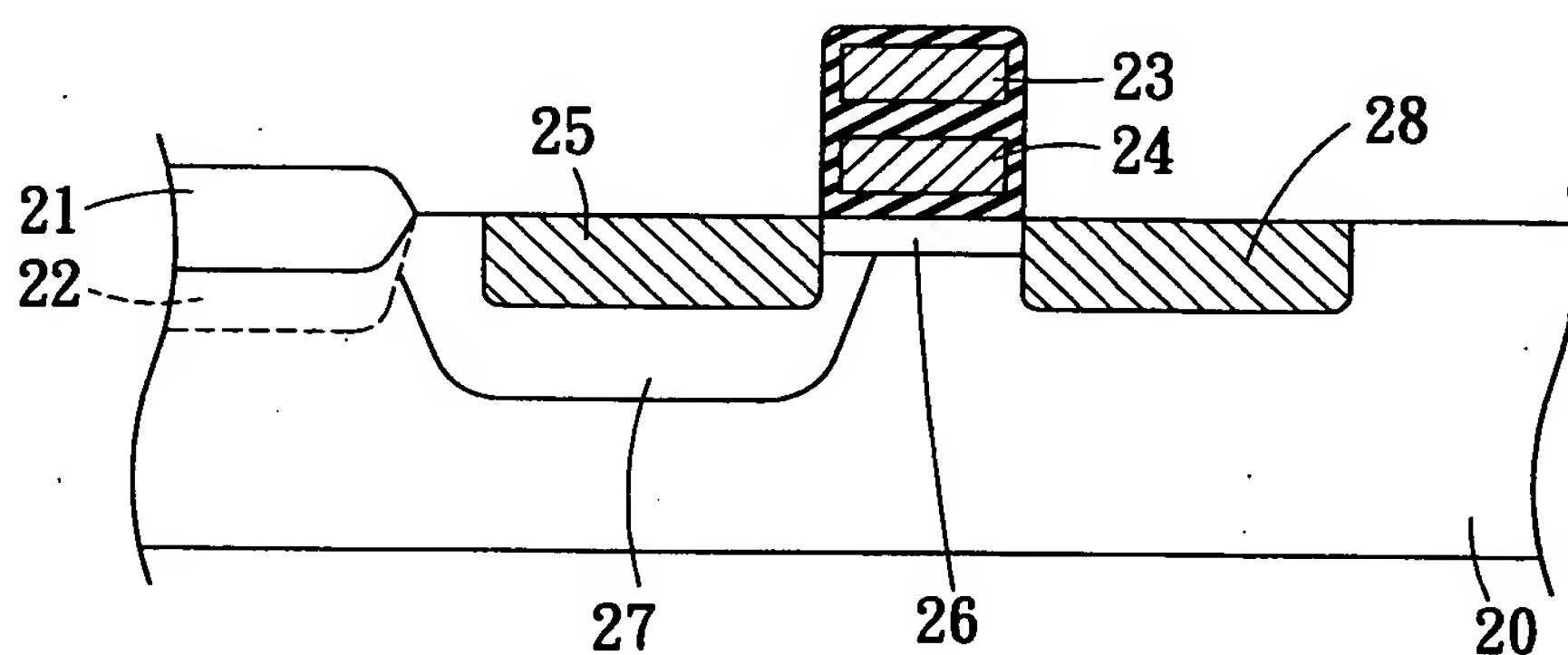


圖3

訂

3

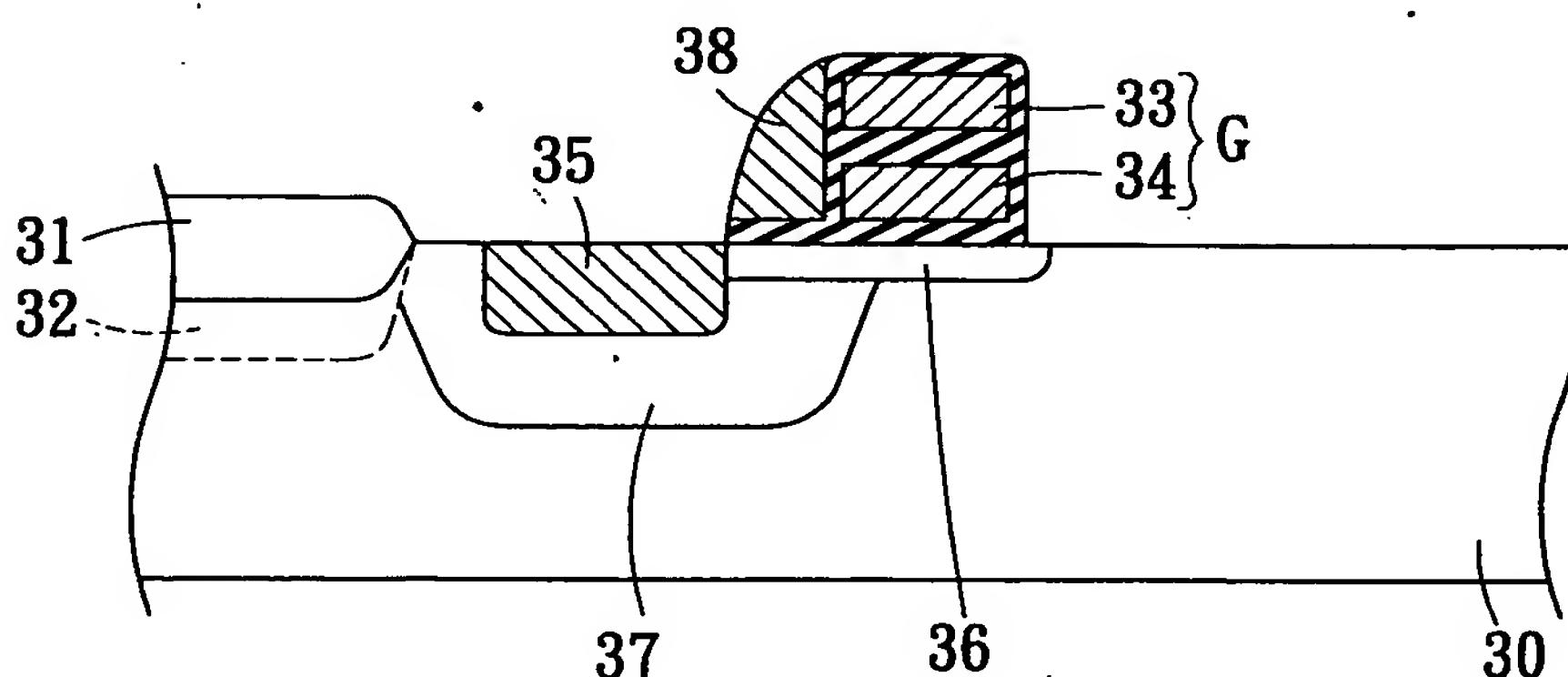


圖4A

圖式

4

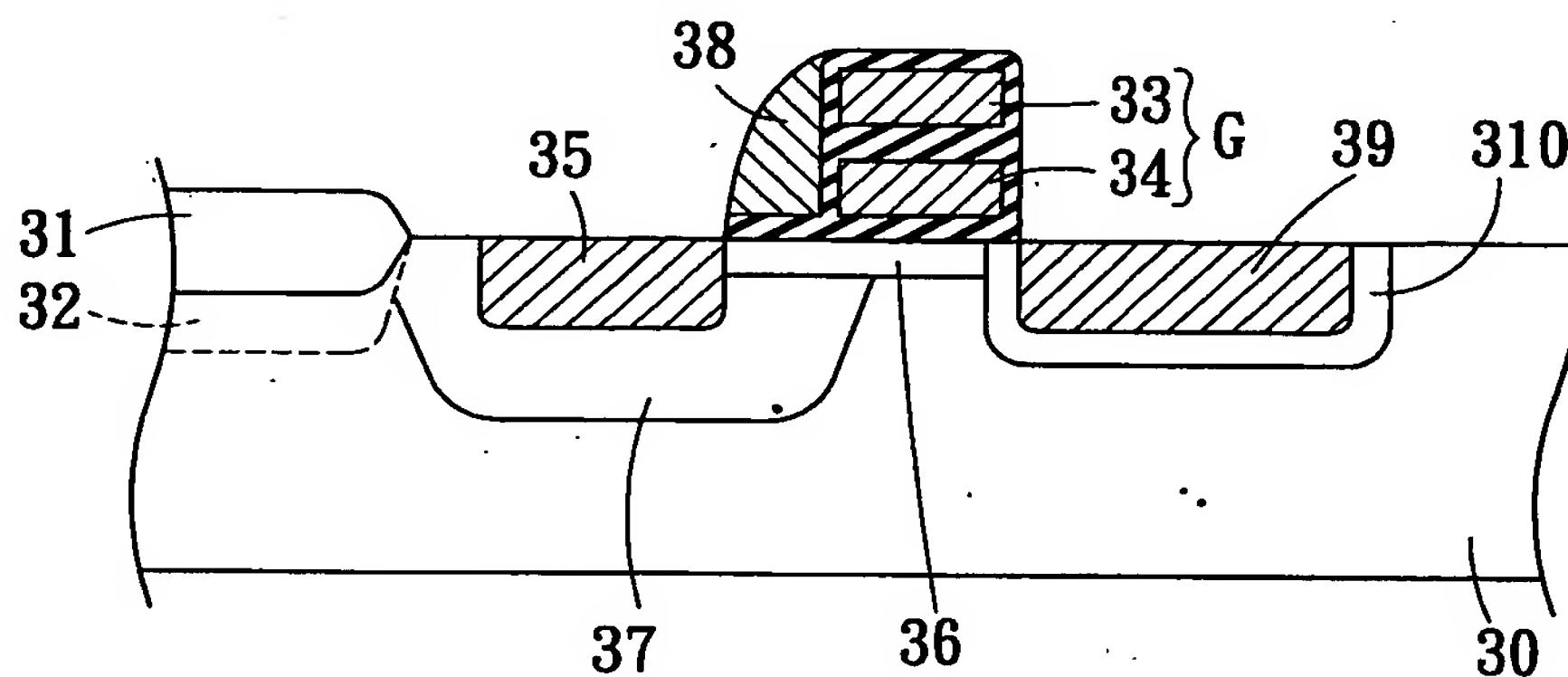


圖4B

訂

5

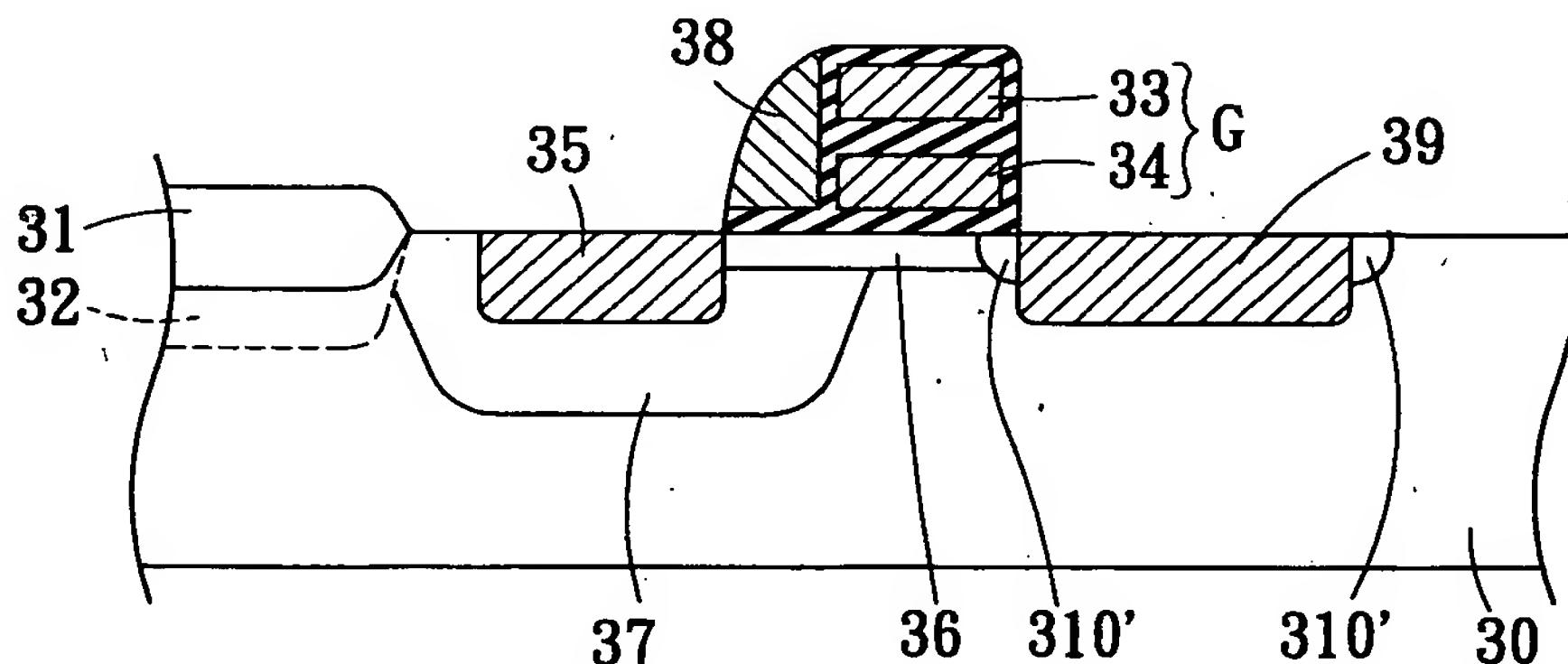


圖4C

圖式

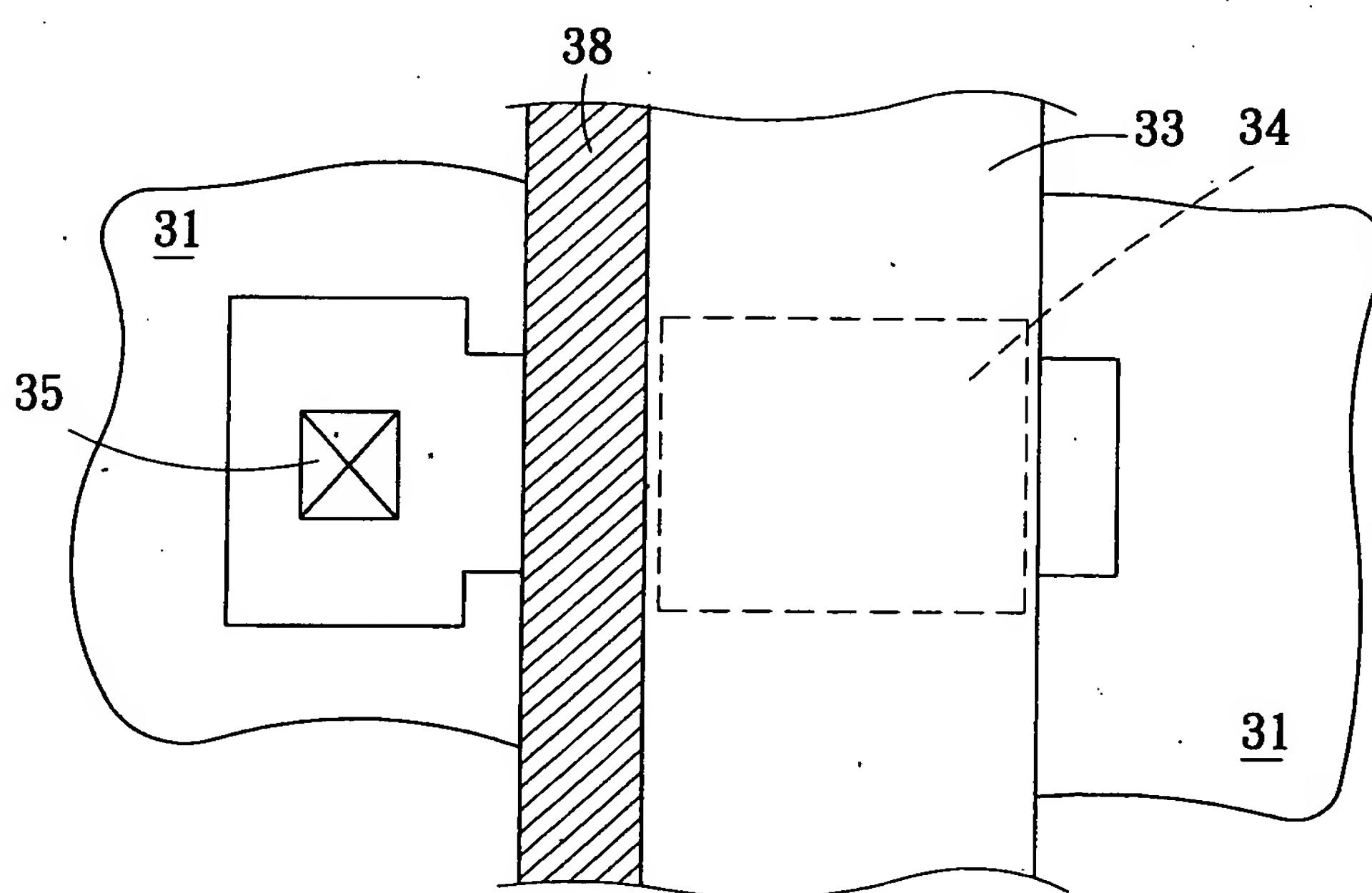


圖4D

圖式

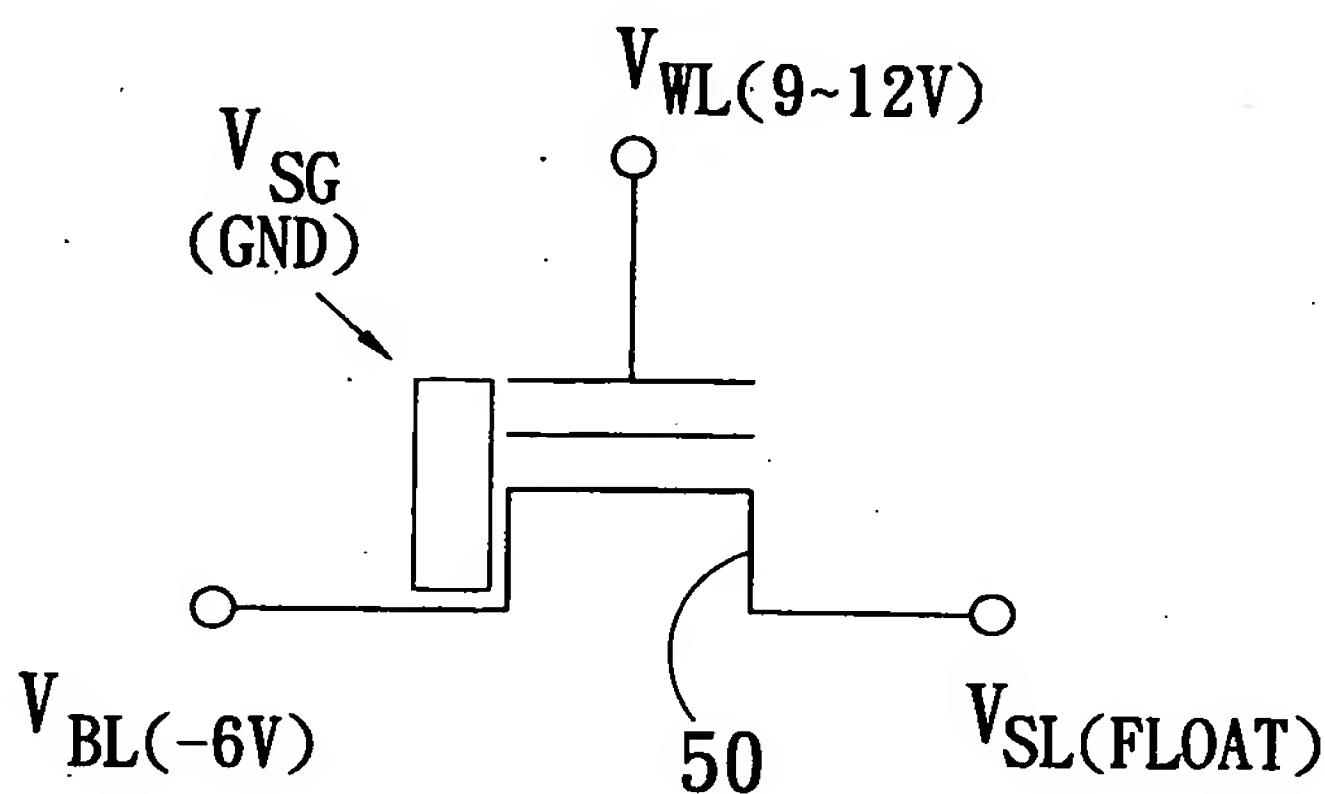


圖 5A

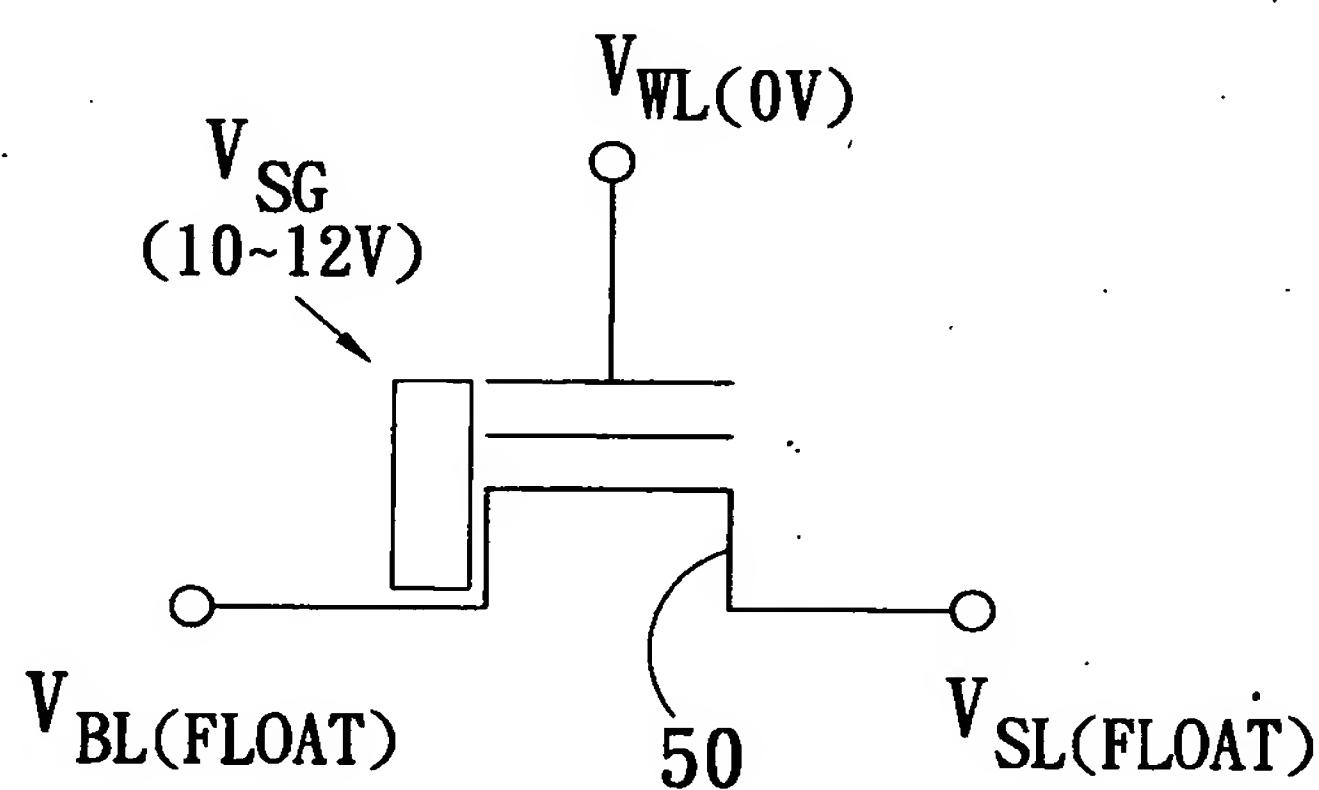


圖 5B

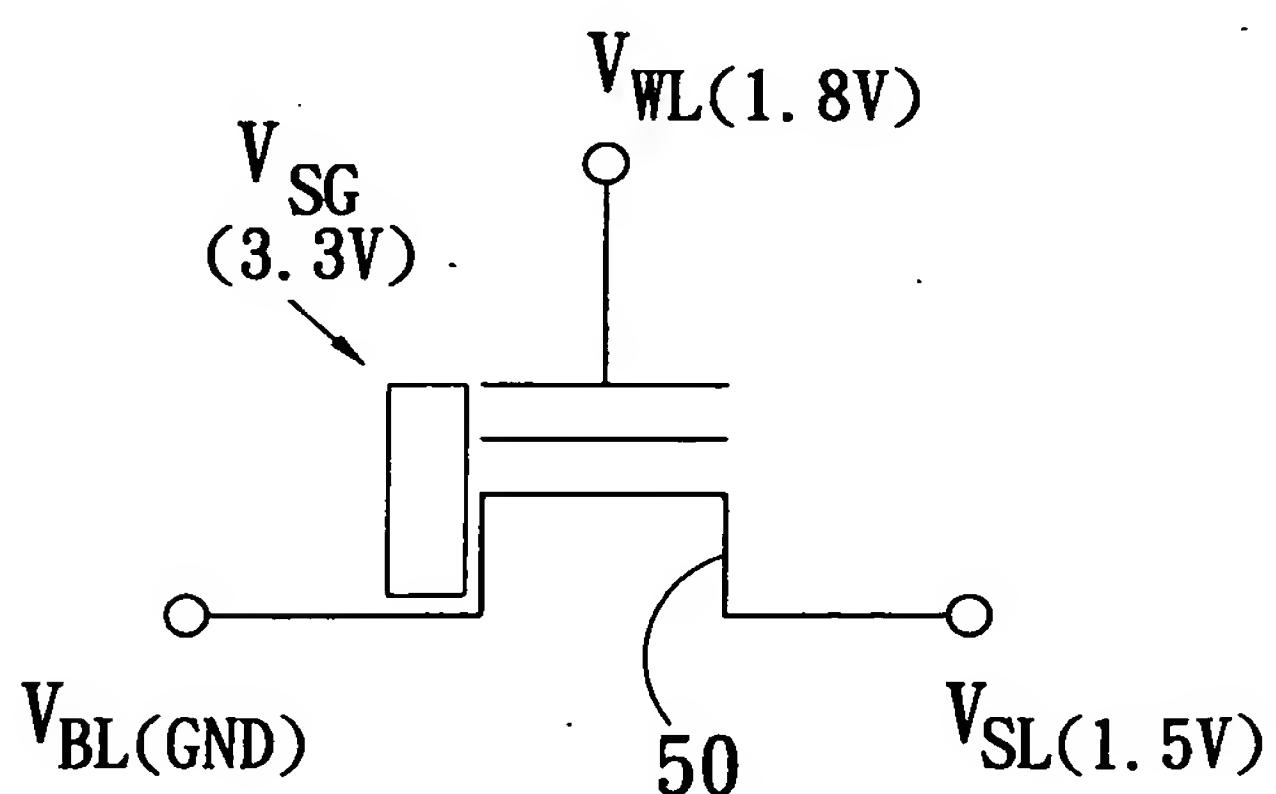


圖 5C

圖式

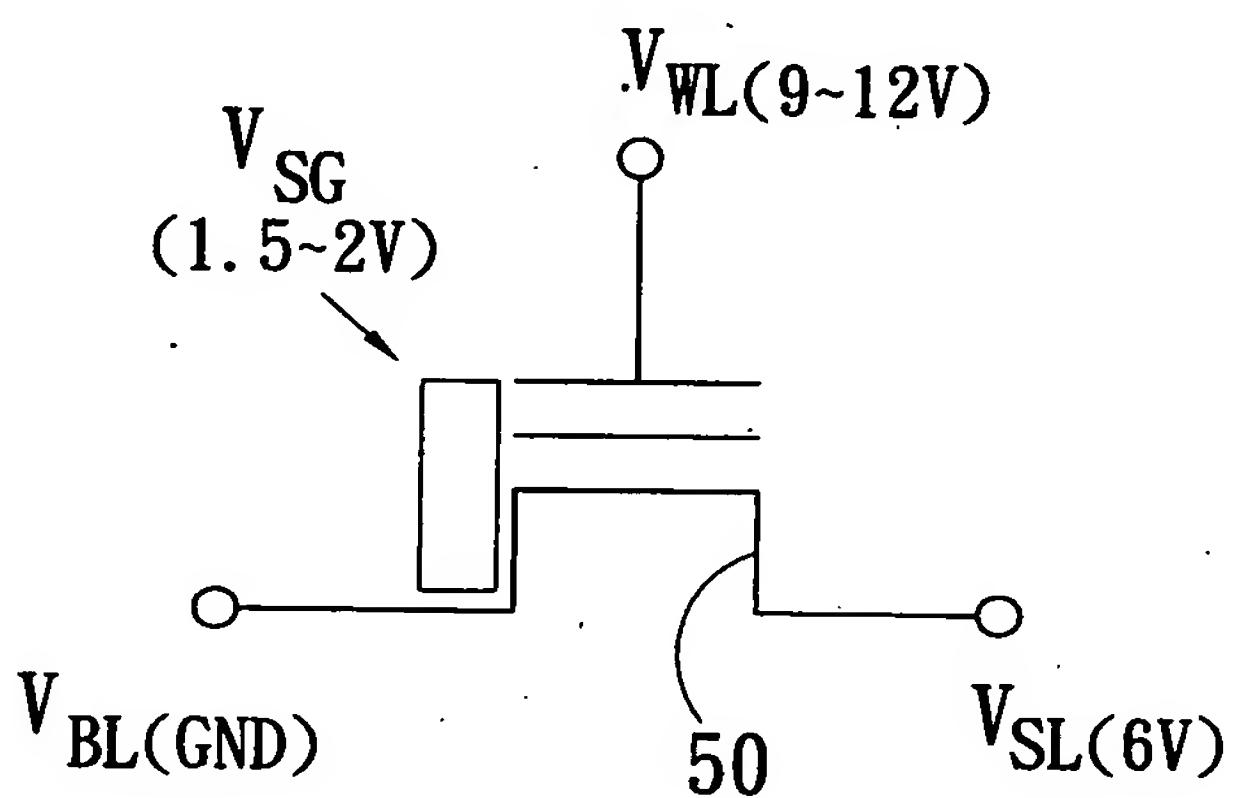


圖 6A

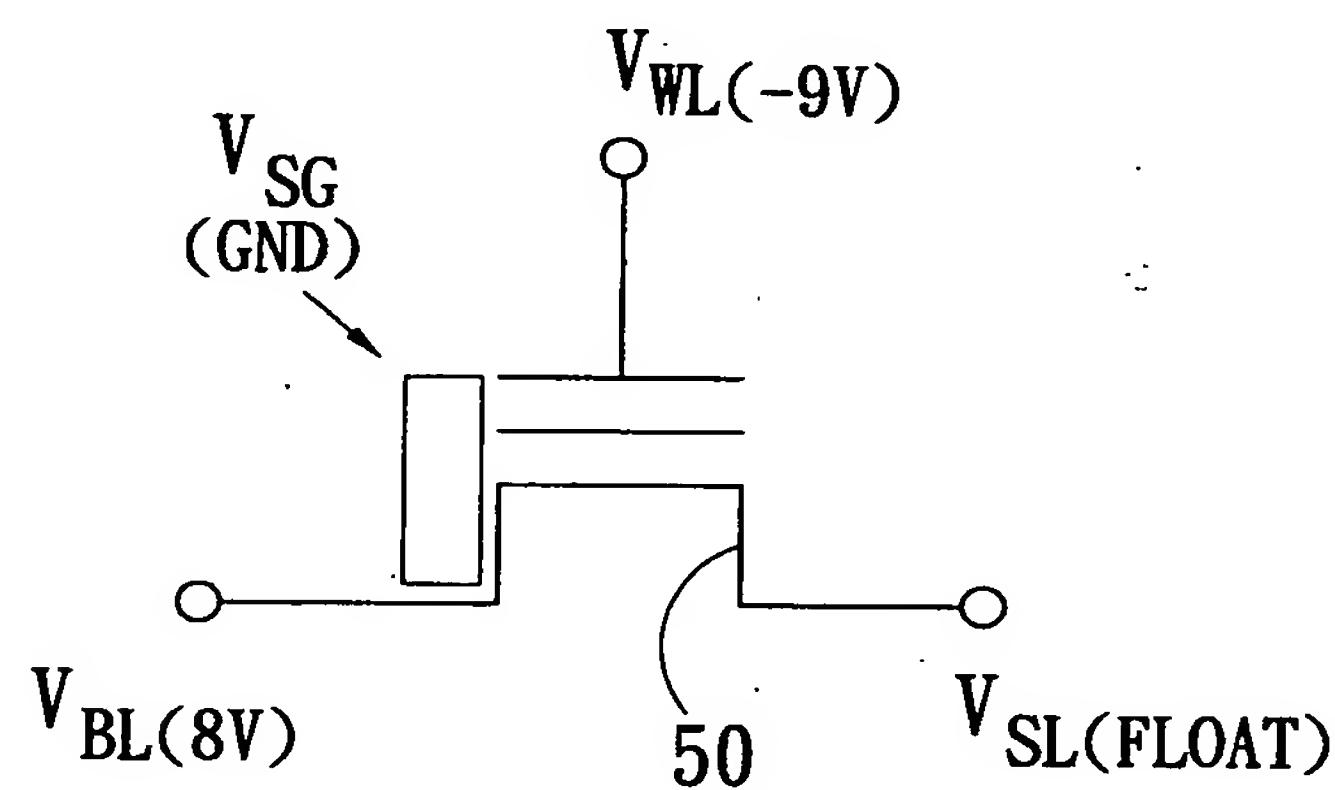


圖 6B

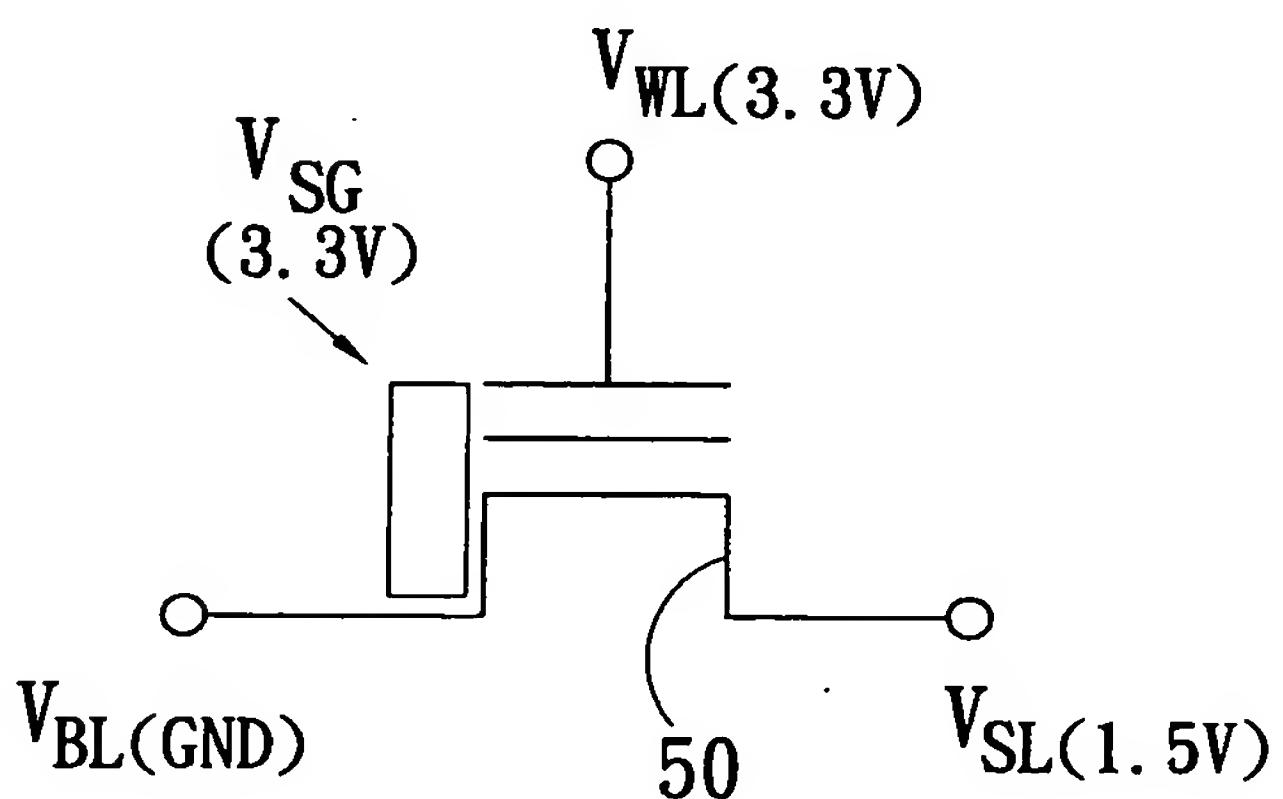


圖 6C

圖式

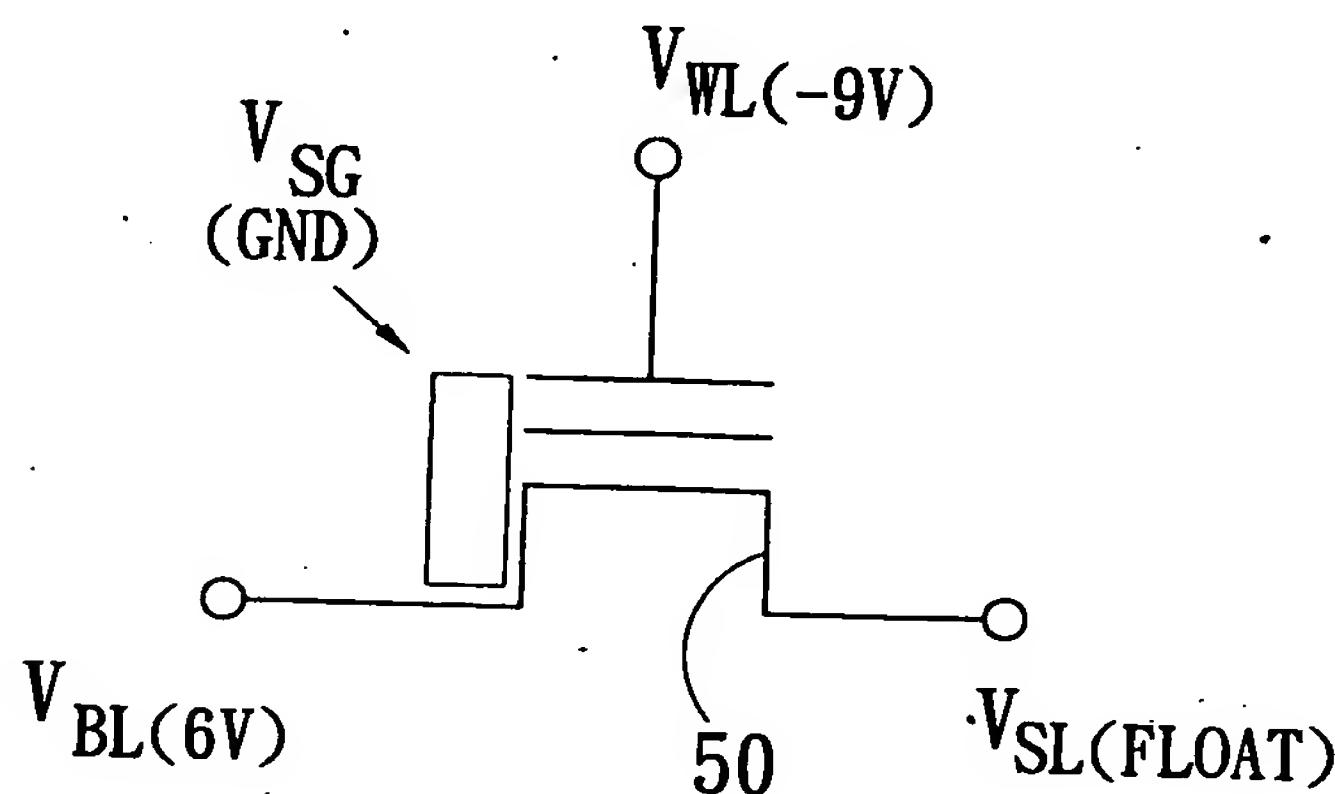


圖 7A

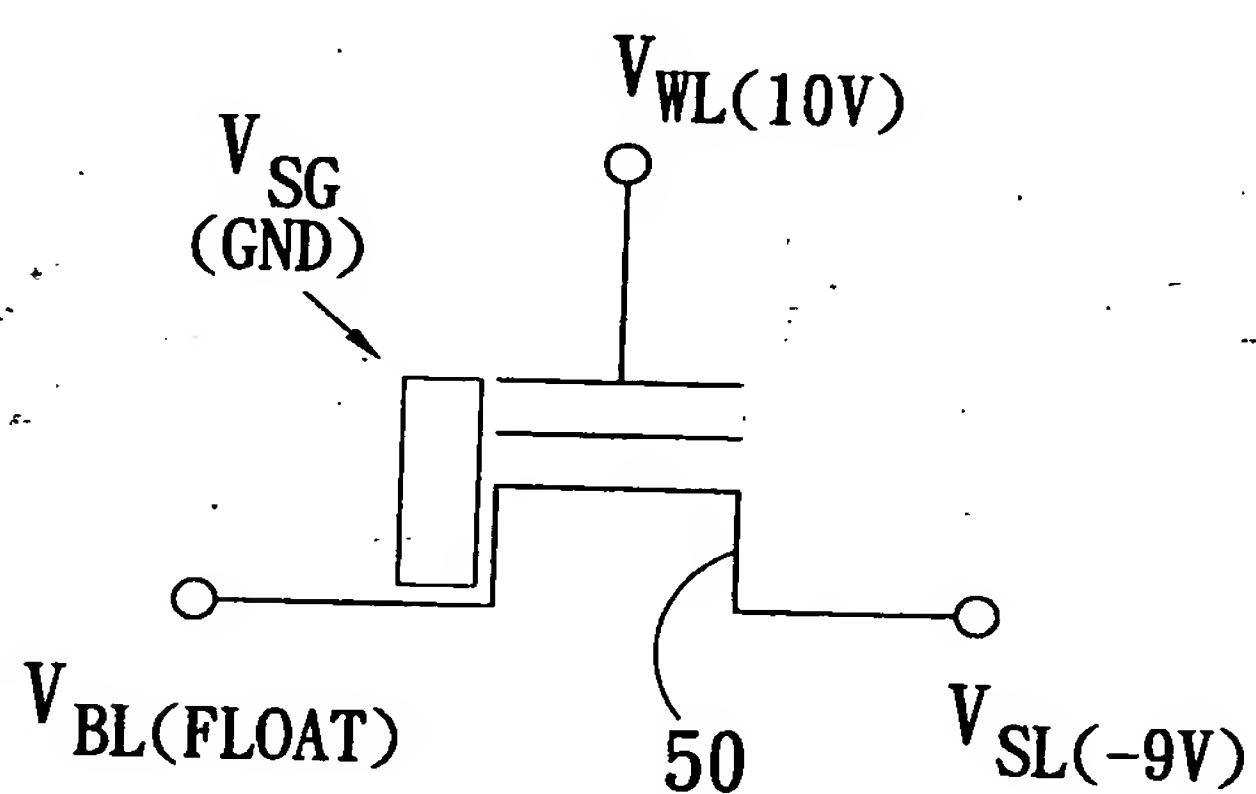


圖 7B

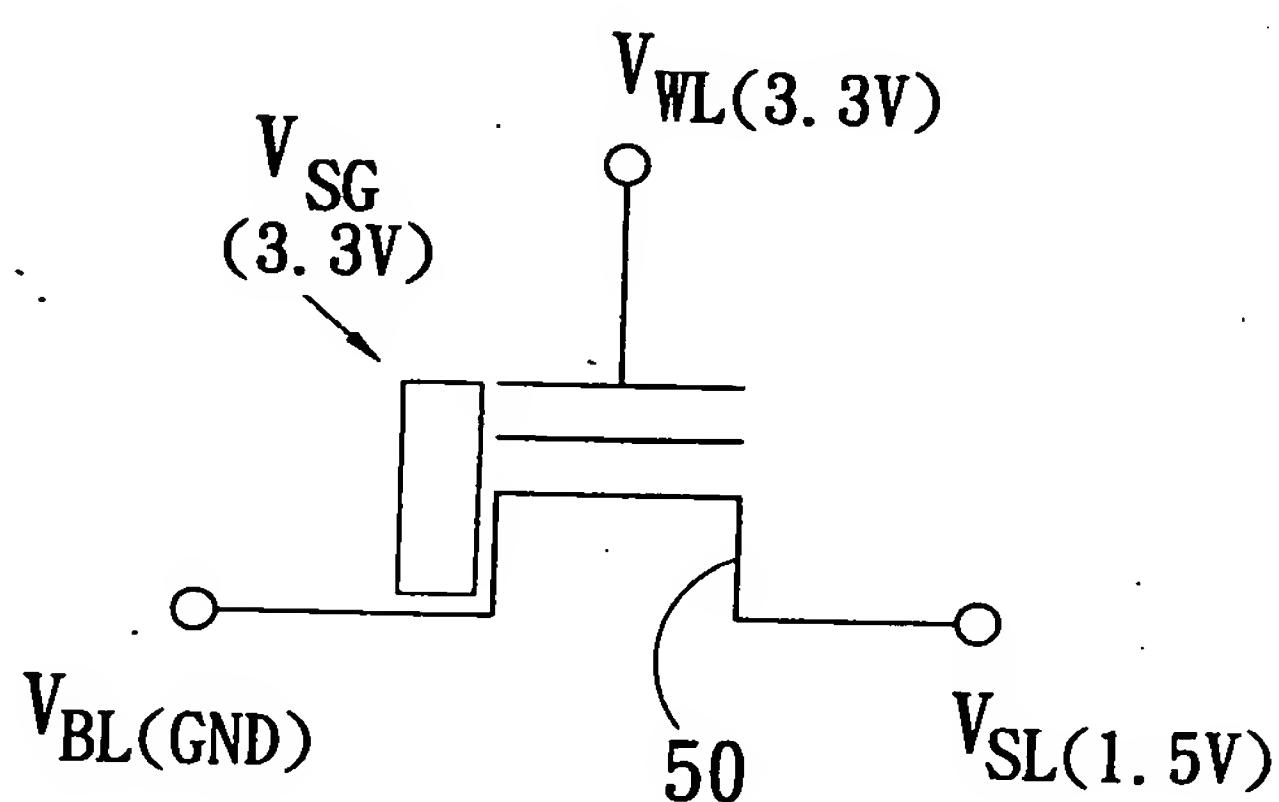
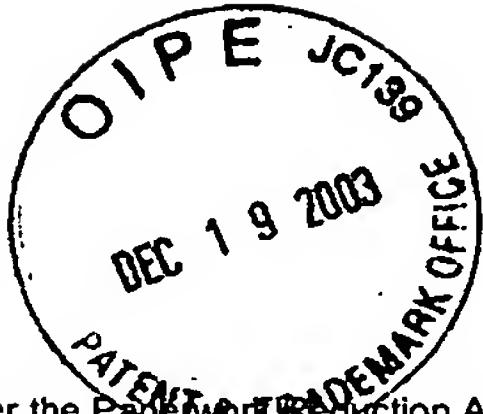


圖 7C



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

~~Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.~~

# **DECLARATION -- Supplemental Priority Data Sheet**

#### **Additional foreign applications:**

**Burden Hour Statement:** This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.